

**INTERKONEKSI IC DIGITAL BERBAHAN GALLIUM ARSENIDE**  
**(GaAs)**

**Andreas Ardian Febrianto**

Program Studi Teknik Elektro  
Fakultas Teknik Elektronika dan Komputer – UKSW  
Jalan Diponegoro 52-60, Salatiga 50711

**Intisari**

Tata letak keping *IC* Digital berbahan GaAs memerlukan interkoneksi untuk keperluan konsumsi daya dan transmisi sinyal. Interkoneksi bahan GaAs perlu perhatian khusus karena transisi dengan kecepatan tinggi akan menghasilkan derau pada interkoneksi. Derau dari transisi dengan kecepatan tinggi ini disebabkan adanya gelombang pantul, cakap silang diantara jalur interkoneksi, efek induktansi, pelai fan dan distorsi yang disebabkan rugi-rugi resistansi.

**Kata Kunci** : Interkoneksi, *IC* Digital, GaAs

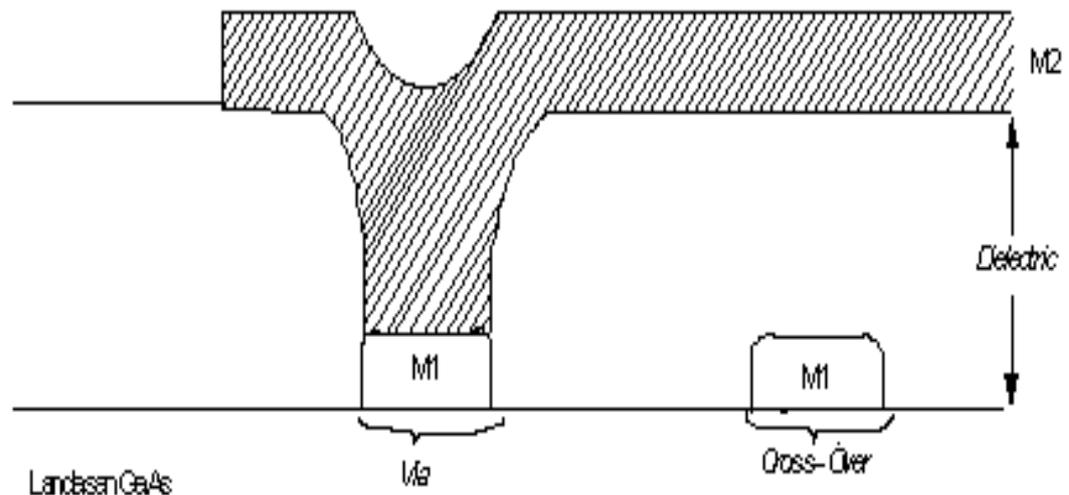
**1. Kontak- Kontak dan Interkoneksi pada Proses Pembuatan *IC* Digital GaAs**

Kontak- kontak pada *IC* Digital GaAs adalah kontak ohmik dan kontak *schottky*. Kontak ohmik pada *IC* Digital GaAs secara tipikal dibuat dari kombinasi logam emas-germanium – nikel yang dicampur pada wafer dengan temperatur kurang-lebih 450°C. Kontak *schottky* secara tipikal dibuat dari kombinasi titan – platina – emas atau dari kombinasi titan – wolfram – emas. Lapisan titan pada sistem ini menyediakan kontak *schottky* dengan halangan tinggi yang baik. Kelemahan bahan titan ini adalah dapat menimbulkan resistansi parasitik yang tinggi pada gerbang jika digunakan terpisah. Resistansi parasitik ini dapat dikurangi oleh lapisan atas kontak yang berupa emas. Emas mempunyai sifat *amphoteric dopant* yaitu sifat yang dapat mengubah kontak *schottky* menjadi kontak ohmik jika terjadi kontak antara emas dengan bahan GaAs. Hal ini diatasi

dengan penyisipan lapisan tengah berupa platina atau wolfram yang mencegah perubahan kontak tersebut dengan menjadi penghalang yang mencegah difusi emas ke permukaan bahan GaAs.

Interkoneksi peranti – peranti pada *IC* Digital GaAs umumnya membutuhkan paling sedikit dua lapisan logam yang memungkinkan terjadinya *cross – over – cross – over*. Lapisan logam ke dua atau bagian atas umumnya menggunakan titan – emas. Tebal lapisan logam ke dua ini secara tipikal adalah  $0,7 - 1,0 \mu\text{m}$  dan lebih tebal daripada lapisan logam pertama atau bagian bawah, karena lapisan logam ke dua ini digunakan sebagai jalur sinyal. Sedangkan tebal lapisan logam pertama secara tipikal adalah  $0,3 - 0,5 \mu\text{m}$  dan digunakan sebagai jalur daya.

Isolasi secara elektrik antara dua jalur interkoneksi dilakukan dengan penggunaan sebuah lapisan dielektrik penghalang atau *intervening dielectric layer*. Lubang - lubang Via dietsa melalui dielektrik ini pada lokasi – lokasi yang benar saat interkoneksi antara dua lapisan logam dibutuhkan, seperti ditunjukkan dalam Gambar 1.



Gambar 1. Skema Diagram Koneksi *Cross – Over* dan *Via* antara Dua Aras Metalisasi [1].

## 2. Analisis Interkoneksi IC Digital GaAs

Interkoneksi kabel pada keping IC Digital GaAs secara umum berupa *metal strip* yang diendapkan pada bahan GaAs ( $\epsilon_r = 12,9$ ) atau pada lapisan dielektrik seperti SiO<sub>2</sub> ( $\epsilon_r = 3,9$ ), silikon nitride atau oxynitride ( $4 \leq \epsilon_r \leq 8$ ), polyimide ( $\epsilon_r = 3 - 3,5$ ) dan pada dielektrik dari permukaan atas bahan GaAs berupa tekanan udara [3]. Tebal *metal strip* lebih tipis dibandingkan landasan *semi-insulating*. Landasan *semi-insulating* mempunyai resistivitas tinggi sehingga memudahkan isolasi diantara beberapa peranti yang tersusun dalam landasan tunggal.

Interkoneksi pada bahan GaAs terdiri dari dua atau lebih lapisan berupa logam. Pada bahan resistivitas tinggi seperti *semimetals* atau *semiconductor* terjadi jatuh tegangan yang akan mempersulit perancangan. Jatuh tegangan ini dihasilkan dari arus peralihan yang diperoleh dari induktansi seri pada interkoneksi untuk pendistribusian daya.

Peralihan dengan kecepatan tinggi pada interkoneksi diantara untai elemen aktif akan menyebabkan derau pada interkoneksi distribusi daya dan interkoneksi transmisi sinyal. Derau akibat transisi cepat ini disebabkan adanya gelombang pantul, cakup silang diantara jalur interkoneksi, efek induktansi akibat arus *transient*, pelaiifan dan distorsi akibat rugi- rugi resistansi.

### 2.1. Catu Daya dan Perancangan Pembumian

Tujuan distribusi daya adalah untuk menyediakan catu daya dan potensial bumi konstan dan sama untuk setiap untai pada sebuah keping IC. Tujuan distribusi daya dan transmisi sinyal akan lebih sulit dicapai dengan adanya beberapa masalah berikut ini.

1. Efek resistansi : resistivitas yang terbatas diatasi dengan penerapan  $v = ir$ .
2. Elektromigrasi : proses migrasi logam yang menghasilkan arus lebih pada penghantar diatasi dengan mematuhi batas kerapatan arus.
3. Efek induktansi : perubahan nilai induktansi menyebabkan perubahan tegangan diatasi dengan penerapan  $V = L di / dt$ .

### 2.1.1. Efek Resistansi

Faktor ini dijelaskan dengan Persamaan (1). Resistivitas logam tergantung pada temperatur dan sejumlah kecil elektron dalam logam dengan pola getaran molekul geometri. Resistivitas logam dan jatuh tegangan akan naik sebanding dengan kenaikan temperature mutlak (Kelvin). Sebaliknya resistivitas logam akan turun sebanding dengan penurunan temperatur ruangnya dan akibat kenaikan tegangan, arus dapat meningkat sehingga tidak terjadi jatuh tegangan pada konduktor yang berupa logam.

$$R = \frac{Lr}{wt} = \rho_s \frac{L}{w} \quad (1)$$

dengan R adalah resistansi konduktor  $[\Omega / \text{cm}^2]$ ;

w adalah lebar resistansi konduktor [cm];

L adalah panjang resistansi konduktor [cm];

t adalah ketebalan resistansi konduktor [cm];

$\rho$  adalah resistivitas  $[\Omega \text{ cm}]$ ; dan

$\rho_s$  adalah *sheet resistans*  $[\Omega / \text{cm}]$ .

Resistansi pada interkoneksi distribusi daya dari satu jalur ke jalur lainnya perlu diperhitungkan menggunakan Persamaan (1) untuk menghitung jatuh tegangan pada sebuah konduktor. Arus untuk jalur daya pada jalur interkoneksi pendek sehingga dianalisis menggunakan distribusi seragam. Distribusi seragam arus fungsi posisi x sepanjang jalur dijelaskan pada persamaan berikut.

$$I(x) = I_T \left(1 - \frac{x}{L}\right) \quad (2).$$

Jatuh tegangan pada ujung jalur ( $\Delta V$ ) adalah sebagai berikut.

$$\Delta V = \frac{I_T r}{A} \int_0^L \left(1 - \frac{x}{L}\right) dx = \frac{I_T L r}{2A} \quad (3).$$

### 2.1.2. Elektromigrasi

Elektromigrasi adalah satu proses migrasi logam yang saat terjadi akan menghasilkan arus lebih pada penghantar dalam untai hubung buka. Proses ini mengganggu kinerja keping *IC* tempat untai pokok terdapat. Aturan perancangan secara elektrik digunakan untuk mencegah elektromigrasi yaitu dengan mematuhi batas kerapatan arus yang diperbolehkan pada sistem yang dirancang. Batas kerapatan arus maksimum ( $J_{max}$ ) untuk sistem – sistem logam yang dikehendaki adalah  $J_{max} = 2 \times 10^5 \text{ A/cm}^2$ . Pengetahuan tentang nilai ketebalan logam diperlukan sebab perhitungan kerapatan arus memerlukan luas penampang lintang yang diketahui. Nilai ketebalan logam untuk proses *selective- implant depletion-mode* adalah sebagai berikut.

Pada *schottky metal* 0,3  $\mu\text{m}$ ; dan  
pada *second-metal* 0,6  $\mu\text{m}$ .

Nilai arus pada lapisan- lapisan dengan lebar tertentu (dengan  $J_{max} = 2 \times 10^5 \text{ A/cm}^2$ ) adalah:

arus pada *schottky metal*  $\leq 300 \mu\text{A}$  untuk lebar sebesar 1  $\lambda$ ; dan  
arus pada *second-metal*  $\leq 600 \mu\text{A}$  untuk lebar sebesar 1  $\lambda$ .

Aturan perancangan akan dinyatakan dalam  $\lambda$  yang dibuat tetap yaitu 0,5  $\mu\text{m}$ . Aturan secara elektrik yang lain berhubungan dengan ukuran maksimum sembarang transistor *MESFET* tunggal.

### 2.1.3. Efek induktansi

Faktor ke tiga yang menyebabkan kesulitan dalam distribusi daya adalah induktansi diri pada jalur transmisi. Induktansi  $L$  menyebabkan perubahan tegangan jika arus pada jalur berubah dengan rata- rata  $dI/dt$ , menurut persamaan berikut :

$$V = L \frac{dI}{dt} \quad (4).$$

Induktansi pada jalur dihitung dengan  $L_o = \frac{Z_o \sqrt{\epsilon_{eff}}}{c}$  dan  $C_o = \frac{\sqrt{\epsilon_{eff}}}{cZ_o}$  dengan  $\epsilon_{eff} = \frac{C_2}{C_1}$  dengan  $C_2$  adalah total kapasitansi konduktor dalam lapisan dielektrik dan  $C_1$  adalah total kapasitansi konduktor dalam ruang hampa. Karena L tidak tergantung dari  $\epsilon_{eff}$  maka lebih efisien dan tepat jika jalur berada dalam ruang hampa ( $\epsilon_r = \epsilon_{eff} = 1$ ).

## 2.2. Delay Estimation

Total waktu tunda perambatan untuk IC digital GaAs frekuensi tinggi dibuat cepat sehingga diperoleh kecepatan yang tinggi. Efek yang perlu dipertimbangkan adalah kapasitansi jalur interkoneksi, perambatan gelombang elektromagnetik, dan distribusi waktu tunda kapasitif.

### 2.2.1. Crossover Capacitance

Total kapasitansi beban interkoneksi meliputi kapasitansi jalur interkoneksi dan kapasitansi yang muncul akibat *crossing over*. *Crossing over* terjadi jika jalur pada satu lapis berada di bawah jalur pada lapisan lain.

$$C_x = 8,854 \times 10^{-18} \epsilon_i \left\{ \frac{WZ}{h} + 1,393(Z+W) + \frac{2}{3} \left[ Z \ln \left( \frac{W}{h} + 1,444 \right) + W \ln \left( \frac{Z}{h} + 1,444 \right) \right] \right\} \quad (5)$$

dengan  $C_x$  adalah total kapasitansi *crossover*;

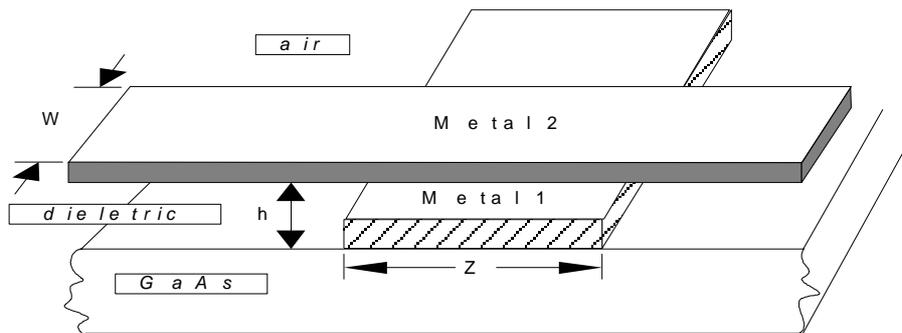
$\epsilon_i$  adalah konstanta dielektrik relatif isolator;

h adalah jarak metal 2 dengan permukaan GaAs pada Gambar 2 [ mm ];

Z adalah lebar metal 1 pada Gambar 2 [ mm ]; dan

W adalah lebar metal 2 pada Gambar 2 [ mm ].

Persamaan yang digunakan untuk menganalisis kapasitansi *crossover* diperoleh dari Persamaan (5). Suku pertama Persamaan (5) adalah kapasitansi paralel lapisan logam, sedangkan suku ke dua Persamaan (5) adalah kapasitansi tambahan yang tidak diinginkan, didekati dengan model *microstrip*.



Gambar 2. Gambar penampang lintang lapisan logam pertama dan lapisan ke dua logam *crossover* [3].

Tambahan berupa kapasitansi beban yang tidak diinginkan dihasilkan dari bidang pengikat dan bidang *probe*. Bidang pengikat biasanya  $100 \times 100 \mu\text{m}^2$  berupa bidang logam pada landasan *semi insulating* pada tepi keping IC. Bidang *probe* berguna karena dipakai untuk pengujian *probe*. Bidang berukuran  $20 \times 20 \mu\text{m}^2$  dapat menjadi *probe* jika berada di sekitar untai. Pendekatan *microstrip* digunakan untuk menghitung kapasitansi dari bidang dijelaskan dengan persamaan berikut.

$$C_p = 2\pi\epsilon_0 \left[ \frac{ze_{eff}(W)}{\ln(8h/W)} + \frac{We_{eff}(z)}{\ln(8h/z)} \right] - \epsilon_0 \left( \frac{e_r W z}{h} \right) \quad (6)$$

dengan  $2\pi\epsilon_0 = 5,559 \times 10^{-17} \text{ F}/\mu\text{m}$ ;

$C_p$  adalah kapasitansi diri (model *microstrip*)

$W$  adalah lebar dari bidang [m];

$z$  adalah panjang dari bidang [m];

dan  $h$  adalah tebal landasan [m].

Pada kondisi kapasitansi jalur *microstrip* berupa dua konduktor yaitu konduktor pertama dengan lebar  $W$  dan panjang  $z$ , paralel dengan konduktor kedua

dengan lebar  $z$  dan panjang  $W$ . Konstanta dielektrik efektif konduktor pertama dan konduktor kedua dengan  $h/W \geq 1$  dan  $h/z \geq 1$  dijelaskan dengan persamaan berikut.

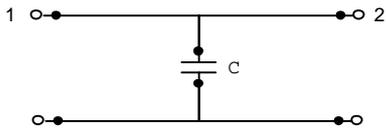
$$\epsilon_{\text{eff}}(W) = \frac{e_r + 1}{2} + \frac{e_r - 1}{2} \frac{1}{\left[1 + 12 \left(\frac{h}{W}\right)\right]^{\frac{1}{2}}} \quad (7)$$

$$\text{dan } \epsilon_{\text{eff}}(Z) = \frac{e_r + 1}{2} + \frac{e_r - 1}{2} \frac{1}{\left[1 + 12 \left(\frac{h}{z}\right)\right]^{\frac{1}{2}}} \quad (8)$$

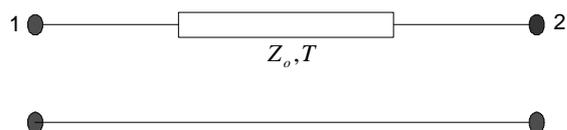
Jalur transmisi sebaiknya cukup pendek dan lebar agar propagasi gelombang pada jalur interkoneksi tidak mengalami rugi-rugi. Konduktor sebaiknya dibuat tipis untuk interkoneksi sinyal kecepatan tinggi.

### 2.2.2. Waktu Tunda Interkoneksi

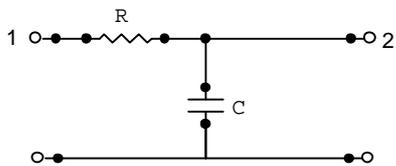
Beberapa model interkoneksi yang cocok dipakai.



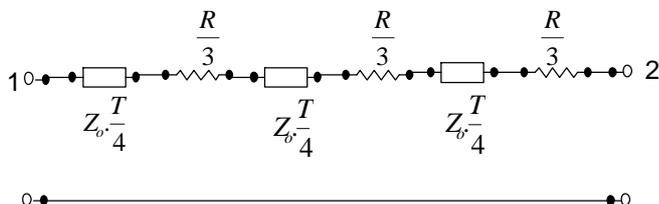
Gambar 3. Model C.[3]



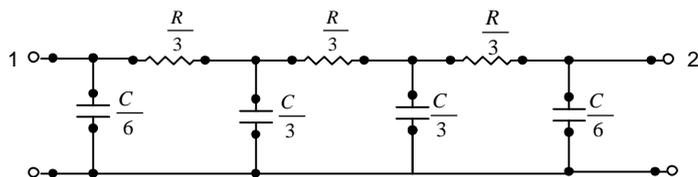
Gambar 6. Model TRL. [3]



Gambar 4. Model L.[3]



Gambar 7. Model TRL4.[3]



Gambar 5. Model P3. [3]

Model sederhana celah kapasitor (bersumber dari model C) dan impedansi karakteristik digunakan untuk menganalisis struktur jalur transmisi. Kapasitansi beban meliputi jumlah kapasitansi jalur, kapasitansi *cross-over* dan kapasitansi yang menyebar. Model C secara akurat dibatasi dua kondisi sebagai berikut.

$$\frac{R_G}{Z_o} \gg 1 \tag{9}$$

$$\text{dan } T \ll t_r \text{ atau } t_f \tag{10}$$

Lambang  $t_r$  dan  $t_f$  adalah waktu muncul dan waktu hilang *driver* atau gerbang logika atau *inverter*. Kondisi pertama, yaitu Persamaan (9) diterapkan ketika sumber

impedansi efektif *driver* ( $R_G$ ) lebih besar daripada  $Z_o$  interkoneksi. Kondisi ke dua, yaitu Persamaan (10) diterapkan ketika  $R_G$  kecil, sehingga panjang jalur transmisi cukup pendek. Sinyal akan dipantulkan dari beban kembali ke generator dan dipantulkan kembali ke arah beban jika selang waktu dari pantulan pertama kecil dibandingkan tanggapan waktu untai logika, sehingga batas derau dinamik akan dilampaui.

Untai memakai model C digunakan untuk mempertimbangkan waktu tunda perambatan atau waktu muncul dalam analisis jalur interkoneksi, *crossover*, dan kapasitansi efektif masukan gerbang tambahan. Persamaan (11) adalah persamaan tegangan keluaran yang menghasilkan pengisian kapasitor oleh  $R_G$ , pada keadaan arus generator konstan maka.

$$V_2(t) = V_G(1 - e^{-t/R_G C}) \quad (11);$$

$$t_{50\%} = 0,69 R_G C \quad (12);$$

$$\text{dan } t_r = t_f = 2,2 R_G C \quad (13).$$

Model eksponensial tunggal tidak tepat digunakan karena gerbang logika bukan untai linear. Dua hal yang tidak diijinkan dalam model C yaitu jika  $R_G / Z_o < 10$ , dan jika jalur menyerupai distribusi jaringan RC dengan resistansi dan kapasitansi membentang melebihi panjang jalur. Dalam model C, propagasi elektromagnetik diabaikan.

Model “L” dengan L adalah lambang untuk *low pass*. R dan C yang meningkat secara linear terhadap panjang ( l ) dapat digunakan untuk menganalisis hubungan antara waktu tunda RC dan waktu propagasi elektromagnetik (waktu tunda LC). Waktu tunda RC sebanding dengan kuadrat panjang jalur interkoneksi dan waktu tunda LC berbanding lurus dengan panjang jalur interkoneksi.

Batas maksimal waktu tunda jalur RC diperoleh dengan meningkatkan lebar jalur interkoneksi atau impedansi jalur untuk IC kecepatan tinggi seperti IC GaAs. Distribusi untai RC mempunyai waktu tunda lebih cepat daripada celah untai RC dengan total R dan C yang sama.” Model pi” yang ditunjukkan dalam Gambar 8 lebih tepat dari “model L”. Tiga bagian jaringan pi ditunjukkan sebagai P3, bahkan dua atau satu bagian pi cukup.

Tabel 1 menjelaskan hubungan  $R_G / Z_o$  dan  $R / Z_o$  (dengan  $R=R_{ol}$ ) yang melebihi model P3 lebih teliti. Model P3 merupakan model jalur transmisi murni sehingga pengaruh jalur interkoneksi dapat diabaikan. Gambar 3 sampai Gambar 7 mewakili jalur transmisi yang terjadi pada interkoneksi. Koefisien pantul negatif pada ujung jalur akan diperoleh jika  $R_G / Z_o = 0,2$  , yang menghasilkan osilasi dan tidak dapat dimodelkan sebagai jaringan RC. Jalur transmisi ideal (TRL) untuk model interkoneksi pendek dengan *driver*  $R_G$  rendah. Jalur transmisi ideal didapat pada interkoneksi untai logika dengan tanggapan waktu  $t_r$  atau  $t_f \gg 2T$ , selang waktu pantulan negatif pertama. Rugi- rugi jalur transmisi dimodelkan seperti Gambar 7, dengan memotong jalur dalam Gambar 6 menjadi bagian dalam Gambar 7 dan menyisipkan bagain yang setara dengan resistansi seri R. Waktu tunda untuk masing- masing model meningkat dari Gambar 3 ke Gambar 7.

Tabel 1. Model yang Ditawarkan ( Sumber Gambar 3 sampai Gambar 7 ) untuk Prediksi Waktu Tunda Interkoneksi [3].

	$R_G / Z_o$			
$R / Z_o$	0.2	1.0	2.0	10
0.2	TRL1	TRL1	C	C
0.5	TRL4	TRL4	P3	C
1.0	TRL4	TRL4	P3	C
2.0	TRL4	P3	P3	C

### 3. Kesimpulan

Interkoneksi untai terintegrasi digital dengan kecepatan kinerja dan frekuensi kerja tinggi mengalami masalah penting dalam interkoneksi dan prediksi waktu tunda dibanding interkoneksi untai terintegrasi digital dengan kecepatan kinerja rendah. Masalah yang dapat terjadi dalam interkoneksi untai terintegrasi digital dengan menggunakan bahan GaAs

adalah masalah interkoneksi distribusi daya dan interkoneksi transmisi sinyal diatasi dengan menggunakan teknologi lapisan logam jamak, dan perancangan catu daya dan pembedaan. Analisis secara periodik interkoneksi jalur transmisi sinyal dan jalur distribusi daya yang terdapat pada keping *IC* Digital berbahan GaAs, dapat dilihat seperti struktur sepasang *microstrip*, *stripline* maupun *coplanar*.

### **Daftar Pustaka**

- [1]. Daemkes, Heinrich, “*Modulation – Doped Field - Effect Transistor Principal / Design & Technology*” , IEE PRESS, New York, 1991.
- [2]. Harrold, S.J., “*An Introduction to GaAs IC Design*” , Prentice Hall International, New York, 1993.
- [3]. Long, Stephen I, “*GaAs Digital IC Design*”, Mc Graw Hill Book Company, Singapore, 1990.
- [4]. Soares, Robert, ed, “*GaAs MESFET Circuit Design*”, Artech House Inc, Boston and London, 1988.