

---

# **Jurnal** ***Rekayasa Elektrika***

---

VOLUME 10 NOMOR 2

OKTOBER 2012

---

**Desain Layout 1-Stage ADC Pipeline 80 Msps dengan Mentor Graphics 0,35  $\mu\text{m}$  untu Aplikasi Kamera Kecepatan Tinggi** 98-105

*Hamzah Afandi, Erma Triawati Ch dan Atit Pertiwi*

---

JRE	Vol. 10	No. 2	Hal 61-114	Banda Aceh, Oktober 2012	ISSN. 1412-4785 e-ISSN. 2252-620x
-----	---------	-------	------------	-----------------------------	--------------------------------------

# Desain Layout 1-Stage ADC Pipeline 80MSPs dengan Mentor Graphics 0,35 $\mu$ m untuk Aplikasi Kamera Kecepatan Tinggi

Hamzah Afandi, Erma Triawati Ch. dan Atit Pertiwi  
Teknik Elektro, Universitas Gunadarma  
Jln. Margonda Raya No. 100 Depok, Jawa Barat, 16424  
hamzah@staff.gunadarma.ac.id

**Abstrak**— Desain layout 1-stage ADC pipeline ini merupakan bagian dari 8-stage ADC pipeline 80 Msps. Layout ADC pipeline 1-stage terdiri dari 3 unit rangkaian yaitu : layout *op-amp*, layout saklar kapasitor, dan layout komparator presisi dengan *latch*. Cara kerja ADC pipeline adalah bertahap dan memerlukan sinkronisasi keluaran digital 8 stage dengan menggunakan unit rangkaian delay (D-FF). Untuk mendukung proses kerja ADC memerlukan pembangkit pulsa detak (*clock*). Unit *OP-AMP transconductance* yang didesain dengan komponen CMOS memiliki spesifikasi yang sesuai untuk aplikasi ADC dengan beban kapasitif, dengan impedansi masukan besar serta dapat meminimalkan noise. Desain komparator presisi yang dirancang memiliki  $V_{os}$  (tegangan Offset) mendekati 0 V. Desain saklar kapasitor menggunakan NMOS sebagai saklar untuk proses sampling maupun *multiplying*. Pada proses *phase sampling* dan *multiplying* pada ADC diperlukan pulsa *clock* dengan mode yang tidak bersinggungan (*lapping*). Lebar perioda *clock non-overlapping* disesuaikan dengan waktu konstan pada proses *sampling* dan *multiplying*. Jumlah total perioda tiap pulsa sama dengan 12,5 ns atau sama dengan frekuensi 80MHz. Pada layout 1-stage dibutuhkan tambahan kapasitor koreksi terhadap tegangan residu. Luas keseluruhan dari layout ADC pipeline 1-stage ini adalah 1-bit 200  $\mu$ m x 98 $\mu$ m.

**Kata kunci:** ADC, *op-amp*, komparator presisi, delay, *clock non-overlapping*, saklar kapasitor, pipeline, stage, layout.

**Abstract**— Design layout 1-stage pipeline is part of the 8-stage pipeline 80 Msps ADC. Layout 1-stage pipeline consists of 3 units : *op-amp*, switch capacitor, precision comparator with *latch*. Pipeline ADC works gradually and requires synchronization of digital output 8 stage by using a unit delay circuit (D-FF). Pipeline ADC requires pulse rate (*clock*) generator to support its work. Units *OP-AMP transconductance CMOS* components designed with the correct specification ADC applications with capacitive loads, with a large input impedance and minimize noise. The precision comparator has  $V_{os}$  (offset voltage) approximately equal to 0V. The capacitor switch designs use NMOS switch as a switch for the sampling and multiplying. In the sampling phase and multiplying processes, the ADC requires a clock pulse with a non-intersect mode (*lapping*). The width of non-overlapping period was adjusted to the time of constance in the sampling process and multiplying. The total number of each pulse period equal to 12.5 ns or equal to the frequency of 80MHz. In the 1-stage layout an additional correction capacitor was required to correct residual voltage. The total area of the layout 1-stage pipeline ADC is 1-bit 200  $\mu$ m x 98 $\mu$ m.

**Keywords:** ADC, *op-amp*, precision comparator, delay, non-overlapping clock, switch capacitor, pipeline, stage, layout.

## I. PENDAHULUAN

Saat ini terdapat beberapa topologi ADC pipeline misalnya topologi 1-bit/stage, 1,5-bit/stage, 2-bit/stage dan N-bit/stage. Masalahnya adalah menentukan topologi yang sesuai untuk mendukung kinerja kamera kecepatan tinggi dengan resolusi 8-bit dan kecepatan 80 Msps dengan biaya tidak terlalu tinggi. Semua topologi dapat di implementasikan ke dalam kamera. Dengan melihat komposisi rangkaian pada setiap topologi, terdapat perbedaan komponen pendukung misalnya topologi 1-bit/stage membutuhkan satu komparator bila 8 stage terdapat 8 komparator, untuk 1,5-bit/stage dan 2-bit/stage membutuhkan dua komparator bila 8 stage terdapat 16 komparator. Permasalahan di atas dilihat dari sisi konsumsi daya dan area layout topologi 1-bit/stage lebih

baik dari topologi 1,5-bit/stage atau 2-bit/stage. Di lihat dari sisi ketepatan dan akurasi jenis topologi 1-bit/stage kurang bila dibandingkan dengan topologi 1,5-bit/stage atau 2-bit/stage, sehingga topologi 1-bit/stage masih kurang mendapatkan perhatian, dapat di lihat dari jurnal-jurnal yang ada saat ini. Dari hasil riset pengembangan ADC pipeline, untuk topologi 1-bit/stage dari sisi kecepatan jauh berbeda dengan topologi di atasnya, kecepatan tertinggi saat ini pada topologi 1-bit/stage adalah 20 Msps dengan teknologi CMOS 0,6 $\mu$ m [1]. Kecepatan untuk topologi 1,5-bit/stage saat ini adalah 80 Msps resolusi 10-bit [2]. Pertimbangan pertama adalah pada area layout ADC dan konsumsi daya, maka dikembangkan ADC pipeline dengan topologi 1-bit/stage untuk menghasilkan ADC yang dapat di implementasikan ke dalam kamera kecepatan 10.000 frames/s, serta

mengoptimalkan area layout desain untuk menekan biaya produksi dengan teknologi CMOS 0,35µm. Pertimbangan kedua adalah untuk menentukan topologi 1-bit/stage yang memiliki kecepatan yang lebih tinggi dari 20 Msp/s [1].

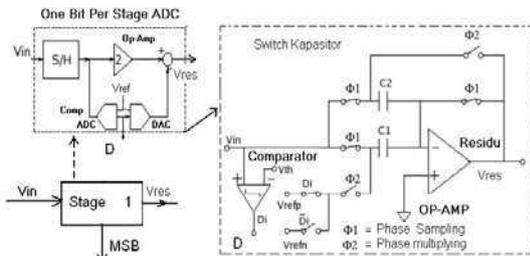
II. LATAR BELAKANG

A. ADC Pipeline dengan Topologi 1-bit/stage

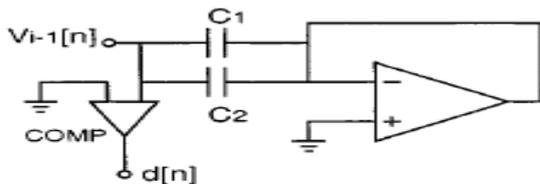
ADC jenis *pipeline* ini dipilih karena berhubungan dengan penelitian sebelumnya yaitu pembuatan sebuah sensor kamera CMOS yang memiliki kecepatan tinggi (10.000 frames/s) [3]. Mengingat kecepatan kamera berkecepatan tinggi yang telah didesain memiliki kecepatan sampling 1 piksel <100ns, maka untuk meningkatkan kecepatan akuisisi kamera, diperlukan sebuah ADC yang memiliki kecepatan konversi ≥ 80MSPS.

Diagram blok arsitektur ADC *pipeline* 1-stage dengan topologi 1-bit/Stage tampak pada Gambar 1 [1],[4]. 1 stage ADC berisikan beberapa komponen pendukung yaitu, unit OP-AMP high-gain, unit S/H, unit Komparator (ADC), unit Saklar kapasitor (SC), unit DAC, Unit delay (DFF) dan pembangkit pulsa *clock non-overlapping*.

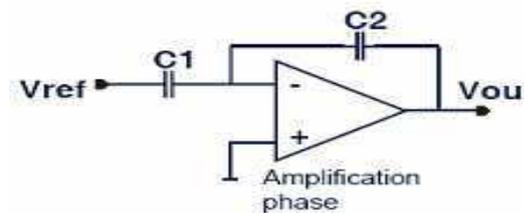
Prinsip kerja ADC *pipeline* dengan topologi 1-bit/stage pada Gambar 2 berdasarkan pulsa *clock* jenis *non-overlapping* yang digunakan, yang utama adalah 2 *phase* yaitu *phase* sampling dan *phase* multiplying, saat pulsa *clock* Φ1(tinggi) merupakan *phase* sampling dimana sinyal masukan di cuplik oleh C1 dan C2, level tegangan Vin dipertahankan pada muatan Q1 = C1\*Vin, Q2 = C2\*Vin dan Q1 = Q2 jadi total Qs = Q1 + Q2 atau Qs = Vin\*2C, mode pencuplikan terhadap *virtual ground*, dengan *noise* (1/f) ditambahkan pada *op-amp*, untuk menekan *noise* tersebut diperlukan input *op-amp* besar.



Gambar 1. ADC Pipeline 1-Stage/Stage the caption is centered in the column



Gambar 2. Fase Sampling



Gambar 3. Fase Multiplying

$$Q_s = Q_1 + Q_2 = Vin * 2C$$

$$Q_1 = C_1 * Vin, Q_2 = C_2 * Vin, C_1 \approx C_2 \approx C,$$

$$Q_1 = Q_2$$

Saat Φ2 (tinggi) merupakan *phase* multiplying pada Gambar 3, di mana C1 terhubung ke tegangan acuan (Vref) tergantung nilai keluaran ADC, apakah tegangan acuan positif atau negatif, karena bersamaan saat Φ1 komparator membandingkan vin dengan Vth, jika Vin>Vth maka keluaran ADC =1 dan menghubungkan C1 ke +Vref, dan apabila Vin<Vth maka keluaran ADC =0 dan menghubungkan C1 dengan -Vref. Besar tegangan treshold (Vth = +Vref(-Vref))/2. Jika -Vref=0V, +Vref=2V, Vth=1V.

$$Vin < Vth, Di = 0,$$

$$Q_M = C * Vres + Di * C * -Vref$$

$$Q_s = Q_M,$$

$$2C * Vin = C * Vres + Di * C * -Vref$$

$$C * Vres = (2C * Vin) - (Di * C * -Vref)$$

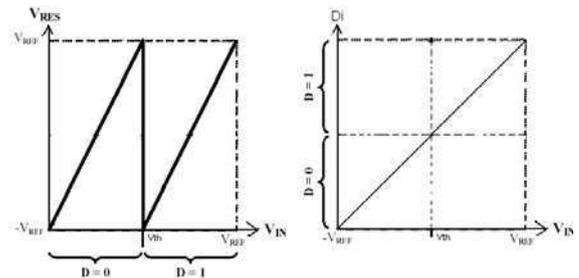
$$Vres = (2 * Vin) - (Di * -Vref)$$

$$\text{Jika } -Vref = 0, Vres = 2 * Vin$$

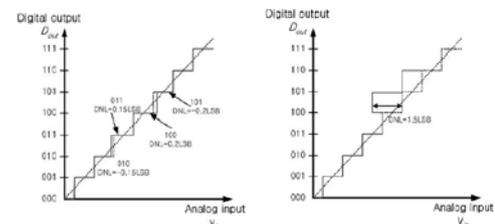
$$Vres = (2 * Vin - (Di * +Vref) - (Di * -Vref))$$

Pada Gambar 4 merupakan transfer tegangan residu ideal linier), kesalahan dapat terjadi sehingga menyebabkan tegangan residu *non-ideal* (non-linier), kesalahan yang terjadi dapat diakibatkan, mismatch kapasitor, finite *op-amp* gain, offset komparator dan *charge injection*.

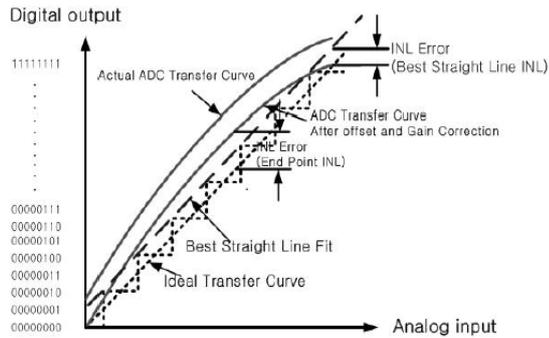
Kesalahan DNL (*Differential Non Linearity*) adalah perbedaan lebar step actual dengan lebar step ideal 1LSB, nilai ideal DNL = 1/2LSB [9], jangkauan nilai DNL dari 0LSB sampai 1LSB, jika nilai DNL mendekati 1LSB menyebabkan kesalahan transfer kode seperti pada Gambar 5.



Gambar 4. (a) Tegangan Residu Ideal (b) Digital Output



Gambar 5. (a) Tegangan Residu Ideal (b) Digital Output



Gambar 6. INL Ideal dan Error

$$DNL = \left[ \frac{V_{D+1} - V_D}{V_{LSB}} - 1 \right], \text{dimana } \rightarrow 0 < D < 2^N + 1$$

Parameter INL (*Integral Non Linearity*) adalah integral dari kesalahan DNL, jika INL bagus maka dijamin DNL bagus. Kesalahan INL diasumsikan sebagai perbedaan dalam LSB atau prosentase jangkauan penuh dari fungsi transfer aktual garis lurus [9]. Misal kesalahan INL ±2LSB pada 8-bit ADC, maka 2/256 atau 0,78%. Kesalahan INL tergantung langsung dengan posisi garis lurus seperti pada Gambar 6.

$$INL = \left[ \frac{(V_D - V_{Zero}) - D}{V_{LSB}} \right]$$

di mana  $\rightarrow 0 < D < 2^N + 1$

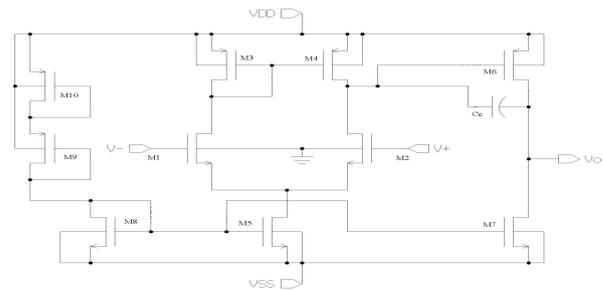
$$V_{LSB} = \frac{V_{fullscale} - V_{zero}}{2^N - 1}$$

III. METODE USULAN

Topik penelitian ini merupakan bagian dari penelitian yang mendesain ADC (*Analog Digital Converter*) untuk proses konversi dari citra analog menjadi citra digital dengan menggunakan ADC jenis *pipeline* dengan resolusi 8-bit (sehingga ada 8 *stage* ADC *pipeline*) dan kecepatan 80 Msps. Tetapi pada pembahasan tulisan ini dibatasi pada 1-stage dari keseluruhan 8-stage, topologi *pipeline* yang digunakan adalah 1-bit per *stage*.

Penelitian desain ADC ini menggunakan metode eksperimen dengan dua tahapan desain, pertama desain rangkaian dan kedua desain layout (SOC). Untuk dapat menentukan metode yang tepat terutama dalam hal mendesain rangkaian dan layout maka dilakukan langkah-langkah yang terdiri dari studi literatur, desain dan simulasi CAD per bagian komponen ADC, dan uji coba ADC *pipeline* keseluruhan baik rangkaian dan layout serta kemudian menganalisis hasil simulasi. Teknologi yang digunakan dalam desain rangkaian adalah AMS 0,35µm CMOS proses dengan CAD mentor graphics.

Topologi 1-bit per *stage* memerlukan beberapa komponen pendukung yaitu penguat operasional (*op-amp*), unit S/H, ADC (komparator), DAC (referensi), dan saklar kapasitor (SC). Melihat prinsip kerja ADC *pipeline* adalah bertahap sehingga diperlukan penyeirama keluaran digital 8 *stage* menggunakan unit rangkaian *delay* (D-FF). Untuk mendukung proses kerja ADC memerlukan pembangkit pulsa detak (*clock*) yang memiliki spesifikasi tidak

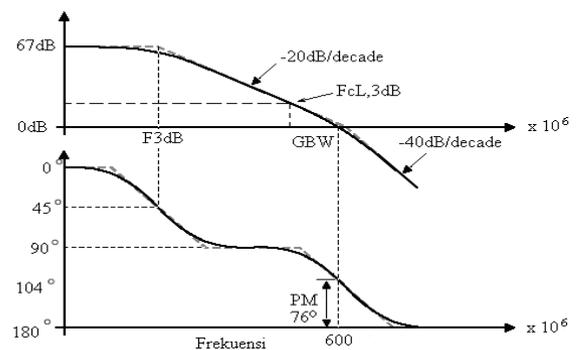


Gambar 7. Rangkaian OP-AMP OTA Dua Stage

bertumbukan antar fase (sampling dan multiplying) serta digunakan sebagai pulsa unit *delay* (D-FF).

Langkah pertama pada metodologi penelitian adalah mengumpulkan literatur tentang ADC *pipeline* dengan topologi yang akan digunakan, dalam penelitian ini menggunakan topologi 1-bit/*stage* dengan pertimbangan konsumsi daya dan kompleksitas rangkaian (biaya pabrikan) bila dibandingkan dengan topologi 1,5-bit/*stage* dan 2-bit/*stage*. Dan mencoba mendefinisikan rangkaian yang tepat dalam desain rangkaian ADC dengan spesifikasi yang diinginkan untuk mendukung kamera kecepatan tinggi.

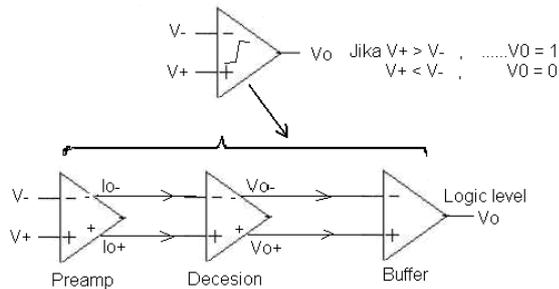
Langkah kedua adalah desain komponen-komponen pendukung ADC. Desain penguat operasional dipilih jenis *transconductance* (OTA) hal ini didasarkan karena penguat jenis ini memiliki spesifikasi yang sesuai untuk ADC jenis *pipeline* yang menerapkan prinsip kerja saklar kapasitor (SC), dalam proses desain dilakukan perhitungan manual yang didasarkan pada spesifikasi yang diinginkan (penguatan tegangan pada mode terbuka, kecepatan, lebar pita frekuensi, konsumsi daya, tegangan kerja, CMR, SR, OS dan VOS), dari hasil desain kemudian disimulasikan dengan CAD mentor graphics, kemudian hasil simulasi di analisa bila terjadi perbedaan dengan teori dilakukan revisi baik hitungan manual dan simulasi rangkaian. Langkah selanjutnya desain unit komparator (unit ADC), pemilihan jenis komparator didasarkan pada presisi set poin tegangan (VSP) antara tegangan referensi dengan tegangan masukan untuk melihat penyimpangan tegangan keluaran (VOS), dalam desain digunakan komparator presisi kemudian disimulasikan. Langkah selanjutnya desain saklar kapasitor (SC) dengan NMOS sebagai saklar dan kapasitor (C) untuk proses penyimpanan muatan. Langkah selanjutnya desain pembangkit pulsa detak (*clock*) dengan jenis non-overlapping (*noclock*) untuk proses sampling dan multiplying serta desain gerbang D-FF.



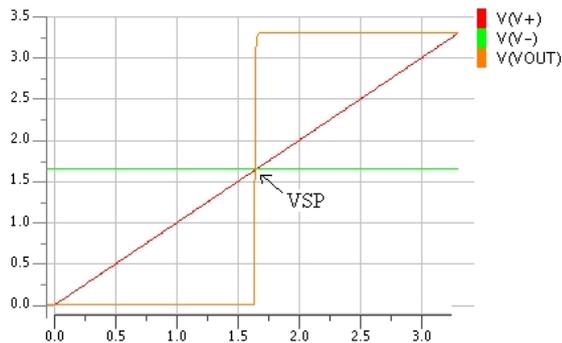
Gambar 8. Penguatan Mode Terbuka (AoL) dan Phase Margin (PM)

TABEL 1  
HASIL PERHITUNGAN MANUAL OTA OP-AMP

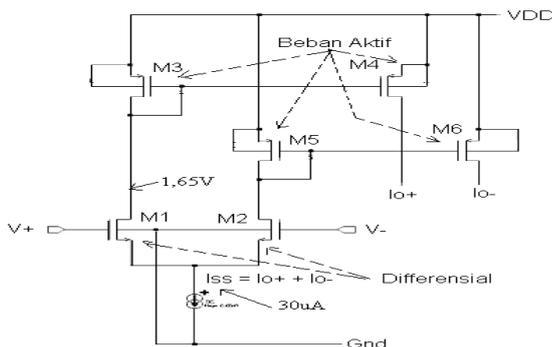
Komponen	Parameter $\frac{W}{L} (\mu m)$	Arus Drain (μA)
M1	42/0,35	20
M2	42/0,35	20
M3	2,2/0,35	20
M4	2,2/0,35	20
M5	9/0,35	40
M6	12,5/0,35	224
M7	51/0,35	224
M8	0,9/0,35	4
M9	0,6/10	4
M10	0,6/10	4
Cc	0,25pF	
CL	1,15pF	



Gambar 9. Diagram Blok Komparator Presisi



Gambar 10. Transient DC Offset Komparator Presisi



Gambar 11. Rangkaian Pre-amp Komparator Presisi

Langkah ketiga adalah penggabungan komponen menjadi satu stage untuk melihat proses sampling dan multiplying, keluaran satu stage ini merupakan tegangan residu untuk stage selanjutnya dan logika digital MSB. Simulasi satu stage digunakan untuk mengamati ketepatan dan ketelitian ADC.

Tahapan kedua setelah desain rangkaian selanjutnya dilakukan desain layout SOC yang merupakan tahapan akhir desain. Desain layout SOC dengan CAD mentor graphics teknologi AMS 0,35μm CMOS proses untuk menentukan ukuran area layout yang digunakan, disini digunakan dua poly dan empat metal layer CMOS. Metodologi yang digunakan sama dengan metodologi pada desain rangkaian, hanya untuk pengecekan kesalahan dilakukan cek DRC dan LVS, hal dilakukan untuk mengoreksi kesalahan pada desain dikarenakan kompleksitas

rangkaian pada area yang kecil. Pada tahapan kedua ini adalah mendesain layout komponen pendukung ADC pipeline dengan topologi 1-bit/stage yaitu komponen penguat op-amp OTA, komparator, saklar kapasitor dan clock non-overlapping serta unit delay (D-FF)..

#### IV. EKSPERIMEN

##### A. Desain Komponen Pendukung ADC Pipeline

###### 1) Desain Penguat Operasional OTA

Penguat jenis *transconductance* yang didesain dengan komponen CMOS memiliki spesifikasi yang sesuai untuk aplikasi ADC dengan beban kapasitif dan dengan impedansi masukan besar sehingga dapat meminimalkan *noise*.

Hasil perhitungan penguatan terbuka (AoL) dan fase margin (PM) dalam bentuk grafik tampak pada Gambar 8 dan hasil perhitungan manual W/L *op-amp* keseluruhan pada Tabel 1.

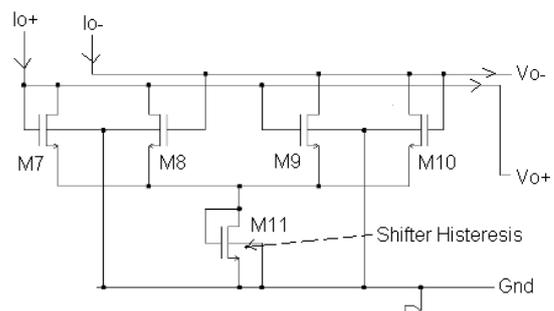
Untuk menguji keluaran tegangan offset ( $V_{os}$ ) = 0V digunakan parameter perbandingan  $M6/M4=2M7/M4$ ;

$$\frac{W6}{L6} = \frac{W7}{L7} \rightarrow \frac{12,5}{0,35} = \frac{51}{0,35} \rightarrow \frac{35,7}{0,35} = \frac{147}{0,35} \rightarrow 5,68=5,67$$

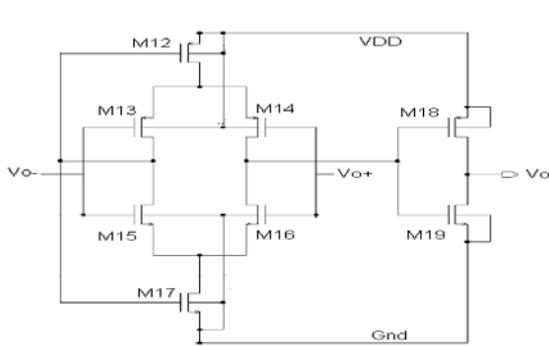
(perbandingan mendekati sama)

###### B. Desain Komparator Presisi

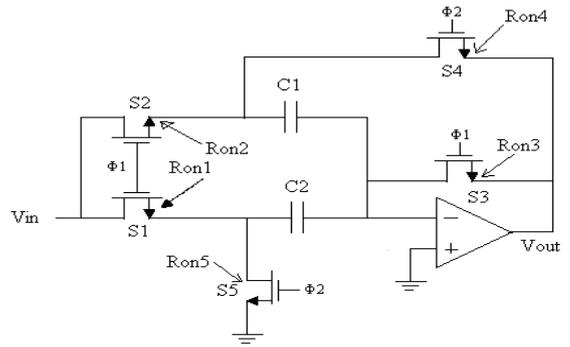
ADC 1-bit/stage memerlukan sub ADC yang teliti dan memiliki ketepatan tinggi, komparator yang sesuai adalah komparator presisi yang memiliki  $V_{os}$  mendekati sama



Gambar 12. Rangkaian Blok Decision Komparator Presisi



Gambar 13. Rangkaian Blok Penyangga Komparator Presisi

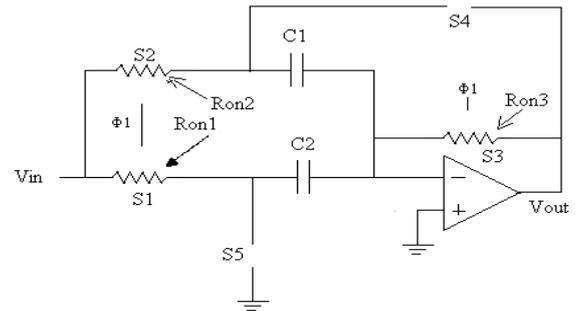


Gambar 14. NMOS Sebagai Saklar Kapasitor (SC)

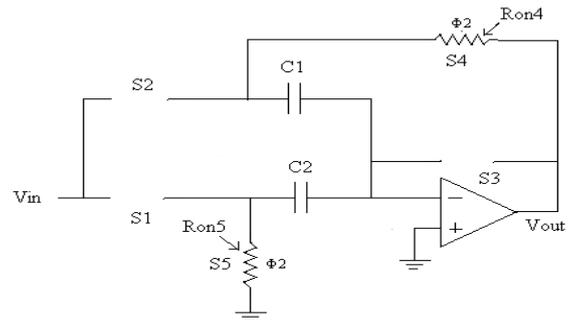
dengan 0V seperti Gambar 9 dan 10.

Dalam desain komparator presisi dimulai dengan langkah sebagai berikut :

- Desain blok *pre-amp* yang berfungsi mengubah level tegangan ke level arus, seperti tampak pada Gambar 11, dengan menentukan penguatan komparator  $A_v \approx 5$  untuk meminimalkan offset error dengan  $I_{ss} = 30\mu A$  supaya mendapatkan mode bersama pada tegangan  $\approx 1,65V$ .
- Desain blok *decision*, merupakan jantung dari komparator yaitu mengubah arus menjadi tegangan dengan menambahkan penggeser level histeresis untuk meminimalkan *noise* yang terjadi, seperti tampak pada Gambar 12.
- Desain blok penyangga (buffer) seperti tampak pada



Gambar 15. Saklar Kapasitor Saat Fase Sampling ( $\Phi 1$ )



Gambar 16. Saklar Kapasitor Saat Fase multiplying ( $\Phi 2$ )

Gambar 13 merupakan rangkaian pengubah level tegangan differensial ke logika biner (0 dan 1).

- Dengan menerapkan pembiasan sendiri dan menambahkan penyangga not untuk meningkatkan penguatan dan mengisolasi dari beban kapasitif terhadap pembiasan sendiri.

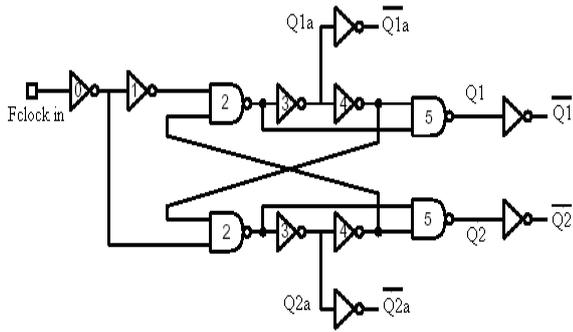
C. Desain Saklar Kapasitor (SC)

Pada Blok ini menggunakan NMOS sebagai saklar untuk proses sampling maupun multiplying, seperti pada Gambar 14.

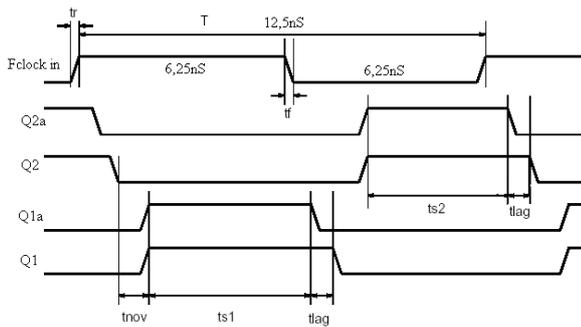
- Saat fase sampling ( $\Phi 1$ )
- Saat fase multiplying ( $\Phi 2$ )

TABEL 2  
HASIL PERHITUNGAN MANUAL KOMPARATOR PRESISI

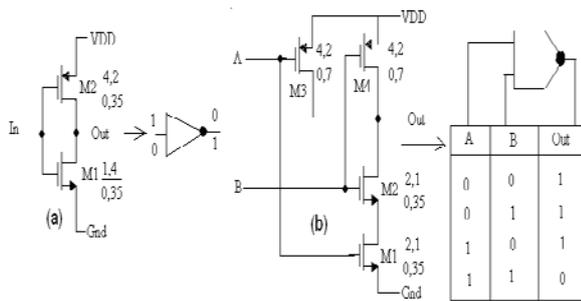
Komponen	Parameter $\frac{W}{L} (\mu m)$	MOS	Arus Drain ( $\mu A$ )
M1	3,8/0,35	NMOS	15
M2	3,8/0,35	NMOS	15
M3	0,4/0,35	PMOS	15
M4	0,4/0,35	PMOS	15
M5	0,4/0,35	PMOS	15
M6	0,4/0,35	PMOS	15
M7	0,7/0,35	NMOS	7,5
M8	1,4/0,35	NMOS	7,5
M9	1,4/0,35	NMOS	7,5
M10	0,7/0,35	NMOS	7,5
M11	1,54/0,35	NMOS	30
M12	4,2/0,35	PMOS	30
M13	2,1/0,35	PMOS	15
M14	2,1/0,35	PMOS	15
M15	0,7/0,35	NMOS	15
M16	0,7/0,35	NMOS	15
M17	1,4/0,35	NMOS	30
M18	4,2/0,35	PMOS	30
M19	1,4/0,35	NMOS	30
PD	Disipasi Daya	19MOS	396,8uW



Gambar 17. Rangkaian Unit Clock Non-overlapping



Gambar 18. Bentuk Gelombang Clock Non-overlapping



Gambar 19. (a) Gerbang NOT (b) Gerbang Nand

D. Desain Pembangkit Pulsa Clock Non-overlapping

Lebar perioda clock non-overlapping disesuaikan dengan waktu konstans pada proses sampling dan multiplying dengan nilai resistansi Ron pada tiap saklar MOS yang digunakan dapat ditentukan perbedaan waktunya, dengan menggunakan frekuensi clock 80MHz atau sama dengan 12,5ns dengan 6,25ns perioda tinggi dan 6,25ns perioda rendah, sehingga diperlukan 4 macam clock yang berbeda periodanya (Q1,Q2,Q1a,Q2a), seperti pada Tabel 3 dan Gambar 17. ts1 adalah waktu settling op-amp pada ADC pipeline untuk phase sampling (Φ1) dan ts2 adalah waktu settling op-amp untuk phase multiplying (Φ2), tlag adalah waktu antara Q1a dengan Q1 dimana delay dipergunakan untuk membuka lebih dulu proses

sampling untuk mereduksi sinyal yang bergantung dengan pengisian muatan (charge injection), tnov adalah waktu non-overlap interval selama phase mana yang aktif.

Rangkaian Delay dari gerbang NOT dan NAND seperti pada Gambar 19, dengan memanfaatkan logika gerbang tersebut dapat disusun gerbang D-FF sehingga dapat dipergunakan sebagai unit delay pada proses penyeragaman keluaran digital ADC seperti pada Gambar 20. Delay yang dihasilkan sama dengan 6,25ns x 8 atau sebesar 50ns merupakan proses konversi satu sinyal masukan dari stage (N-1) sampai stage (N-8).

E. Desain Rangkaian ADC 1-Stage

Dengan menggabungkan komponen diatas yaitu op-amp, komparator (ADC), saklar kapasitor, tegangan referensi (DAC) dapat membentuk satu stage ADC dengan keluaran 1-bit seperti pada Gambar 21.

Dalam topologi 1-stage ini spesifikasinya adalah :

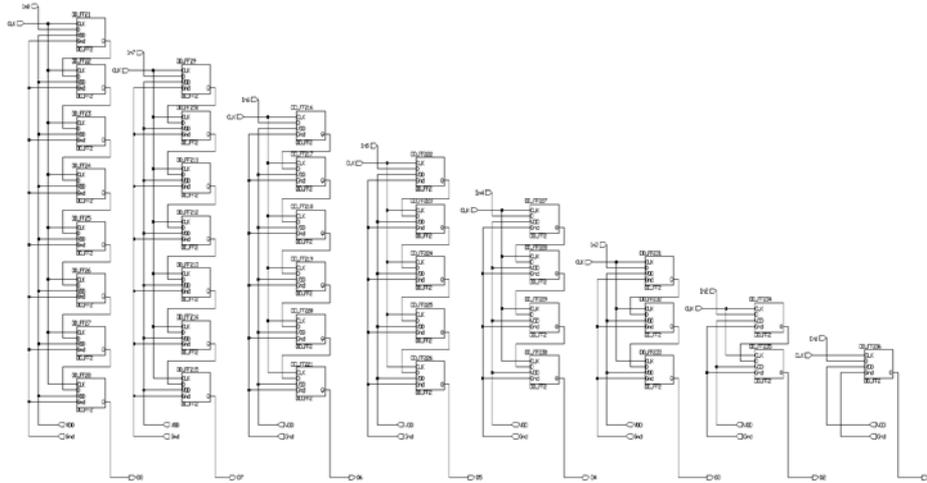
- Kecepatan konversi Vin menjadi logika biner (1,0) dan tegangan residu pada frekuensi clock 80MHz, dengan tegangan residu untuk stage selanjutnya mendekati ideal seperti Gambar 22.
- Kesalahan yang diakibatkan oleh kapasitor mismatch, offset komparator, finite gain op-amp dan charge injection kapasitor dapat diminimalkan dengan mengkoreksi ADC, DAC dan saklar kapasitor dengan menambahkan komponen pengkoreksi, sehingga kesalahan tegangan residu tidak lebih dari 5% atau DNL = 1/2LSB.
- Jangkauan Vin dapat pada skala 0V sampai dengan 2V, sehingga dihasilkan tegangan residu dari Vrefn sampai dengan Vrefp, dan keluaran digital 0 dan 1.
- Noise yang terjadi tidak lebih dari 5nV/√Hz dengan nilai gm op-amp.

Dengan kondisi yang diinginkan untuk tegangan residu pada saat sampling dan multiplying tidak ada penyimpangan, dan dihasilkan sebagai berikut:

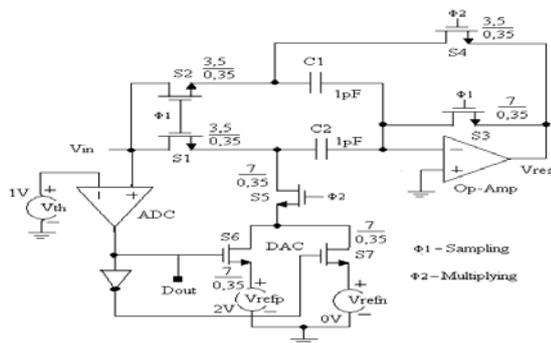
- Pada saat Vin = 0,4V dihasilkan Vres = 0,8V dan digital (0) karena Vin < Vth, sehingga Vres = 2\*Vin - Di\*Vrefn dengan Vrefn=0V dan Di=0 jadi Vres=0,8V.
- Pada saat Vin = 0,8V dihasilkan Vres = 1,6V dan digital (0) karena Vin < Vth, sehingga Vres = 2\*Vin - Di\*Vrefn dengan Vrefn=0V dan Di=0 jadi Vres=1,6V.
- Pada saat Vin = 1,4V dihasilkan Vres = 0,8 dan digital (1) karena Vin > Vth, sehingga Vres = 2\*Vin - Di\*Vrefp dengan Vrefp=2V dan Di=0 jadi Vres=0,8V.

TABEL 3  
DELAY PADA CLOCK NON-OVERLAPPING

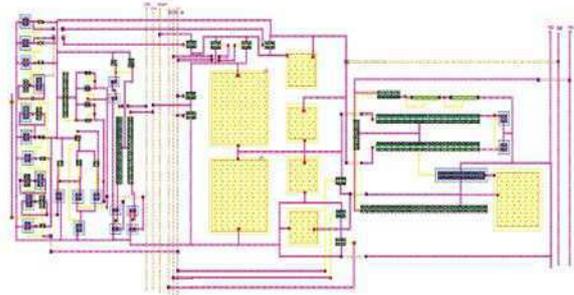
ts1	$\frac{T}{2} - tr - t2 - t3 - t4 + t1 + tf$
ts2	$\frac{T}{2} - tf - t1 - t2 - t3 - t4 + tr$
tlag	$t4 + t5$
tnov	$\min(t2, t2 + t3 - t5)$



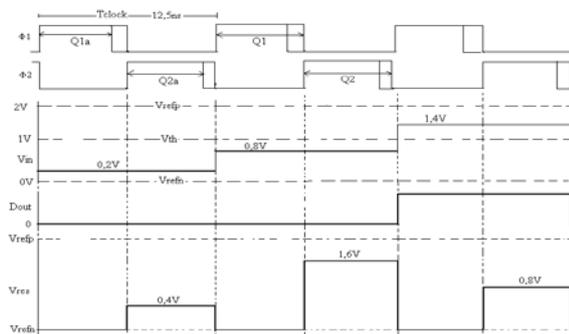
Gambar 20. Unit Delay Dout Dengan D-FF



Gambar 21. Rangkaian ADC Pipeline 1stage



Gambar 23. Layout ADC Pipeline 1-Stage 200µm x 98µm)



Gambar 22. Diagram Pulsa ADC 1-bit Dalam 1-Stage

F. Layout ADC Pipeline 1-Stage

Pada Gambar 23 merupakan layout ADC pipeline 1-stage yang terdiri dari 3 unit rangkaian yaitu : layout op-amp, layout saklar kapasitor, dan layout komparator presisi dengan latch. Untuk unit pembangkit gelombang non-overlapping tidak didesain bersamaan dengan ADC pipeline 1-stage dikarenakan penempatan unit pembangkit clock tersendiri.

Untuk mengetahui kesalahan pada hasil desain layout digunakan *checking error* DRC dan didapatkan 124 *warning*, di mana kebanyakan pada posisi *space* ruangan yang kurang optimal, hal ini dikarenakan masih menggunakan komponen NMOS bentuk aslinya dari CAD. Sebenarnya bentuk NMOS ini masih bisa diubah menjadi segi empat yang proporsional, pada NMOS dengan satu komponen  $W=42\mu m$  dan  $L=0,7\mu m$  bisa diubah menjadi 6 komponen NMOS dengan  $W=7\mu m$  dan  $L=0,7\mu m$  yang dipasang paralel.

Pada layout gambar diatas dibutuhkan tambahan kapasitor koreksi terhadap tegangan residu yang ditunjukkan untuk koreksi pada daerah analog. Desain kapasitor menggunakan poly1 dan poly2 di mana luas poly ditentukan dengan konversi pada IC studio, misal 0,275pF dikonversikan pada layout menjadi 17,100µm x 17,100µm, layout kapasitor ini bisa diubah dengan model sendiri tapi disesuaikan dengan aturan dari teknologi AMS 0,35µm C35B4C3. Luas keseluruhan dari layout ADC pipeline 1-stage ini adalah 200 µm x 98µm.

V. KESIMPULAN

Layout ADC pipeline 1-stage terdiri dari 3 unit rangkaian yaitu : layout op-amp, layout saklar kapasitor, dan layout komparator presisi dengan latch. Luas

keseluruhan dari layout ADC *pipeline 1-stage* ini adalah 200 µm x 98µm. Dengan menggunakan *checking error DRC* didapatkan 124 *warning* kesalahan pada hasil desain layout, hal ini karena kebanyakan pada posisi *space* ruangan yang kurang optimal, dikarenakan masih menggunakan komponen NMOS bentuk aslinya dari CAD

#### DARTAR PUSTAKA

- [1] Eri Prasetyo, Dominique Ginhac and M. Paindavoine, "principles of CMOS sensors dedicated to face tracking and recognition", In IEEE CAMPO5 International Workshop on Computer Architecture for Machine Perception, July 2005.
- [2] Hao-Yu, xun-Gong, and Juo-Jung hung, "A low power 10 bits 80 Msamples pipeline ADC", Technical report, ECCS department University of Michigan tech., 2003.
- [3] Jérôme Dubois, Dominique Ginhac, Michel Paindavoine, and Barthélémy Heyrman, "A 10 000 fps CMOS Sensor with Massively Parallel Image Processing", IEEE Journal of Solid-State Circuits, 43(3) :706-717, March 2008.
- [4] Dwight U. Thomson and Bruce A. Wooley, "A 15-b pipelined CMOS floating point A/D converter, " *Journal of IEEE Solid State Circuit*, vol. 36, no. 2, February 2001.
- [5] A.N Karanicolas , H.S Lee and K.L Bacrania " A 15-bit 1 – Msample/s digitally sel-calibrated pipeline."IEEE J Solid-state Circuit, Vol 28 PP, 12071215,dec1993.
- [6] R. Samer and Jan Van der Speigel and K. Nagaraj, "Background digital error correction technique for pipeline ADC," *IEEE*, 2001.
- [7] Timothy M. Hancock, Scott M. Pernia, and Adam C. Zeeb, " A digitally corrected 1.5 bits/stage low power 80 Msamples/s 10-bits pipelined ADC", technical report, University of Michigan, December 2002.
- [8] Jae Ki Yoo, B.E., M.S," A Background Calibration Technique and Self Testing Method for the Pipeline Analog to Digital Converter," A dissertation, University of Texas at Austin, December 2004.
- [9] Boris Murmann and Bernhard E. Boser," A 12b 75MS/s Pipelined ADC using Open-Loop Residue Amplification," IEEE International Solid-State Circuits Conference, 2003.
- [10] Anonim," *Parameter Ruler Design CMOS AMS 0,35um*," Mentor Graphics Corporation. <http://www.mentor.com/ams.html>, 2008.
- [11] Anonim,"*IEEE standard VHDL-AMS Reference Manual*," IEEE std 1079.1-1999. IEEE, 1999.

**Penerbit:**

Jurusan Teknik Elektro, Fakultas Teknik, Universitas Syiah Kuala

Jl. Tgk. Syech Abdurrauf No. 7, Banda Aceh 23111

website: <http://jurnal.unsyiah.ac.id/JRE>

email: [rekayasa.elektrika@unsyiah.net](mailto:rekayasa.elektrika@unsyiah.net)

Telp/Fax: (0651) 7554336

