

Perancangan dan Simulasi IC CMOS Inverter Schmitt Trigger

Ari Permana L, D. J. Djoko H. S, Wijono, dan M. Julius

Abstrak— Penelitian ini untuk mendesain dan menganalisis rancangan IC CMOS Inverter Schmitt Trigger sehingga dihasilkan efisiensi kerja sistem berupa disipasi daya rendah dan *propagation delay* yang kecil sehingga kecepatan sistem meningkat. Teknologi yang digunakan dalam perancangan ini adalah teknologi 0.12 μm dengan tegangan supply V_{DD} 1.2 V dan tegangan input yang diberikan sebesar 1.2 V. Berdasarkan analisis perhitungan tegangan histerisis yang simetris tergantung pada rasio perbandingan transkonduktansi NMOS β_1 ($W/L = 0.12 \mu\text{m} / 0.12 \mu\text{m}$) dan β_3 ($W/L = 0.22 \mu\text{m} / 0.12 \mu\text{m}$) untuk rasio perbandingan transkonduktansi PMOS β_5 ($W/L = 0.30 \mu\text{m} / 0.12 \mu\text{m}$) dan β_6 ($W/L = 0.55 \mu\text{m} / 0.12 \mu\text{m}$). Desain Schmitt Trigger berdasarkan hasil analisis perhitungan dan hasil analisis simulasi bahwa dengan teknologi 0.12 μm , *propagation delay* yang dihasilkan dengan beban kapasitor $\leq 5 \text{ pF}$, $K'_N = 713 \mu\text{A/V}^2$ dan $K'_P = 288 \mu\text{A/V}^2$ sebesar 12,5 ns dimana ini adalah nilai *propagation delay* yang memungkinkan digunakan untuk perancangan IC schmitt trigger inverter dengan teknologi 0,12 μm . Berdasarkan hasil analisis perhitungan, semakin besar beban kapasitor dan frekuensi yang digunakan maka semakin besar pula *power dissipation* (P_D) dan *power dissipation product* (PDP) dimana pada analisis perhitungan dengan beban 5 pF bekerja pada frekuensi 15 MHz diperoleh disipasi daya 108 μW dan Power delay Product 1.35

Kata Kunci : Schmitt Trigger, Hysterisis, Propagation Delay, Power Dissipation

I. PENDAHULUAN

DESAIN *Integrated circuit* (IC) dapat dibagi ke dalam dua kategori, yaitu: digital dan analog. Desain IC digital digunakan dalam komponen seperti *Mikroprosesor*, *Field-Programmable Gate Array* (FPGA), *Random-Access Memory* (RAM), *Read Only Memory* (ROM), *Flash* dan *Application-Specific Integrated Circuit* (ASICs). Desain digital berfokus pada kebenaran logis, memaksimalkan kepadatan dan menempatkan sirkuit sehingga *clock* dan sinyal waktu yang diarahkan efisien. Desain IC Analog juga memiliki spesialisasi dalam desain *Operational Amplifier* (Op-Amp), regulator linier, osilator dan filter aktif.

Fleksibilitas dari *Schmitt Trigger Transistor Logic* (TTL) terhambat oleh kemampuan

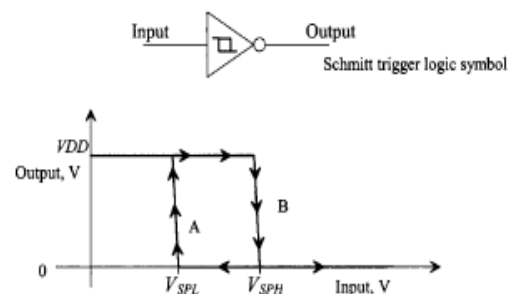
Ari Permana L adalah dosen Politeknik Negeri Ambon yang sedang tugas belajar di Program Magister Teknik Elektro, Program Magister dan Doktor Fakultas Teknik Universitas Brawijaya (e-mail: aripermana002@yahoo.co.id).

D. J. Djoko H. S, Wijono, dan M Julius merupakan staf pengajar Jurusan Teknik Elektro Fakultas Teknik Universitas Brawijaya Malang (e-mail: dsantjojo@ub.ac.id; wijono@ub.ac.id; m.julius.st@ub.ac.id).

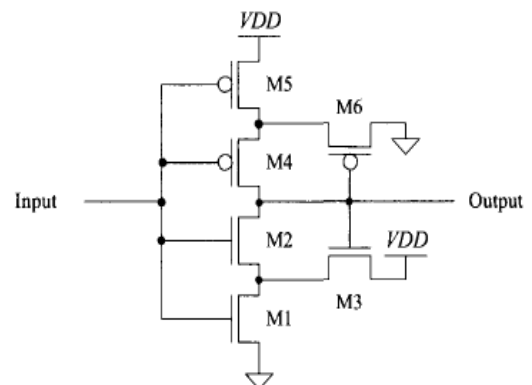
antarmuka yang terbatas, impedansi input rendah dan karakteristik output tidak seimbang. Schmitt Trigger bisa dibangun dari perangkat diskrit untuk memenuhi parameter tertentu, Schmitt Trigger CMOS mengoptimalkan desain karakteristik yang meliputi: interfacing dengan op amp dan jalur transmisi, konversi tingkat logika, linear operation, dan desain khusus bergantung pada karakteristik CMOS. Schmitt Trigger CMOS memiliki keuntungan sebagai berikut: Impedansi masukan yang tinggi ($10^{12} \Omega$), keseimbangan karakteristik input dan output meliputi (Ambang batas simetris, biasanya untuk $\frac{1}{2} V_{CC}$, Pengendali jalan keluaran). Ambang positif dan negatif menunjukkan variasi yang rendah sehubungan dengan suhu, batas tegangan (2V - 6V), Konsumsi daya rendah, Kebal terhadap noise.

II. LANDASAN TEORI

A. Schmitt Trigger



Gb. 1. Karakteristik Schmitt Trigger



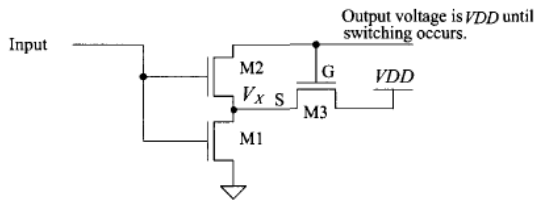
Gb. 2 Skema Schmitt Trigger

Schmitt Trigger sangat berguna dalam menghasilkan pulsa bersih dari *noise* sinyal masukan atau dalam desain sirkuit osilator. Selanjutnya. Simbol skematis

dari *Schmitt trigger* ditunjukkan dalam Gb. 1, bersama dengan kurva pengalihan (*transfer curves*).

Skema dasar dari *Schmitt trigger* ditunjukkan dalam Gb. 2, dapat dibagi rangkaian menjadi dua bagian, tergantung pada apakah output tinggi atau rendah. Jika output rendah, maka M_6 dalam keadaan on dan M_3 dalam keadaan off, maka pada bagian kanal-p menunjukkan titik tegangan *switching*, sedangkan jika output tinggi, M_3 dalam keadaan on dan M_6 dalam keadaa off maka pada bagian kanal-n menunjukkan titik tegangan *switching*. Dimana M_4 dan M_5 juga berada dalam keadaan on yang langsung terhubung ke V_{DD} .

Untuk menganalisis rangkaian, kita asumsikan bahwa output dalam keadaan tinggi (V_{DD}) dan input dalam keadaan rendah (0 V), Gb. 1 menunjukkan bagian bawah dari *Schmitt trigger* yang digunakan dalam menghitung titik atas tegangan *switching* V_{SPH} , MOSFET M_1 dan M_2 dalam keadaa off, dengan $V_{in} = 0$ V M_3 dalam keadaan on. pada. Sumber dari M_3 dalam keadaan mengambang (*floating*) dimana $V_{DD} - V_{THN}$ atau sekitar 4V untuk $V_{DD} = 5V$. Potensial V_x , ditunjukkan dalam Gb. 3.



Gb. 3. Bagian dari skema pemacu Schmitt digunakan untuk menghitung titik atas tegangan *switching*.

Dengan V_{in} kurang dari tegangan ambang M_1 , V_x tetap di $V_{DD} - V_{THN3}$ sedangkan V_{in} naik, tegangan M_1 mulai on, tegangan V_x mulai jatuh ke tanah (ground). titik tegangan *switching* yang tinggi didefinisikan dalam Persamaan 1.

$$V_{in} = V_{SPH} = V_{THN2} + V_x \quad (1)$$

atau ketika M_2 mulai aktif (on), maka output mulai bergerak ke ground, menyebabkan M_3 mulai off ini pada gilirannya menyebabkan V_x jatuh lebih jauh, M_2 mulai on, ini terus berlanjut sampai M_3 adalah benar-benar dalam keadaan off dan dimana keadaan M_2 dan M_1 dalam kondisi on. umpan balik positif menyebabkan titik tegangan *switching* menjadi sangat baik. Persamaan (2.20) berlaku arus yang mengalir di M_1 dan M_3 pada dasarnya sama. Penyamaan arus ini memberikan Persamaan 2.

$$\frac{\beta_1}{2} = (V_{SPH} - V_{THN})^2 = \frac{\beta_3}{2} = (V_{DD} - V_x - V_{THN3})^2 \quad (2)$$

dimana sumber sama dengan M_2 dan M_3 , maka $V_{THN2} = V_{THN3}$ terjadi peningkatan tegangan ambang dari efek *body* untuk setiap MOSFET. Kombinasi Persamaan (1) dan Persamaan (2) menghasilkan Persamaan (3).

$$\frac{\beta_1}{\beta_3} = \frac{W_1 \cdot L_3}{L_1 \cdot W_1} = \left[\frac{V_{DD} - V_{SPH}}{V_{SPH} - V_{THN}} \right]^3 \quad (3)$$

Pernyataan bentuk lebih dekat untuk V^+ diperoleh dengan mengabaikan efek *body* bias dan menganggap semua tegangan threshold sama $V_{T1} = V_{T2} = V_{T3} = V_{TN}$. Dengan menganggap M_1 jenuh menghasilkan Persamaan arus (4).

$$\frac{\beta n_1}{2} = (V^+ - V_{TN})^2 = \frac{\beta n_3}{2} (V_{DD} - V_x - V_{TN})^2$$

$$\begin{aligned} &= \frac{\beta n_3}{2} [V_{DD} - (V^+ - V_{TN}) - V_{TN}]^2 \\ &= \frac{\beta n_3}{2} (V_{DD} - V^+)^2 \end{aligned} \quad (4)$$

Sehingga tegangan *switching* maju V^+ sebagai berikut:

$$V^+ = \frac{(V_{DD} + V_{TN}) \times \sqrt{\frac{\beta_{N1}}{\beta_{N3}}}}{1 + \sqrt{\frac{\beta_{N1}}{\beta_{N3}}}} \quad (5)$$

Tegangan *switching* balik V^- karena aksi kerja dari M_4 , M_5 dan M_6 , khususnya M_6 yang merupakan perangkat umpan balik dalam persilangan M_4 . Analisis rangkaian menjadi

$$V^- = \frac{(V_{DD} - |V_{TP}|) \times \sqrt{\frac{\beta_{P5}}{\beta_{P6}}}}{1 + \sqrt{\frac{\beta_{P5}}{\beta_{P6}}}} \quad (6)$$

Tegangan *switching* balik diatur dengan perbandingan (β_{p5} / β_{p6}). *Schmitt trigger* simetris dapat dinyatakan dengan Persamaan (5) dan (6).

$$V^+ = \left(\frac{1}{2}\right) V_{DD} + \Delta V \quad (7)$$

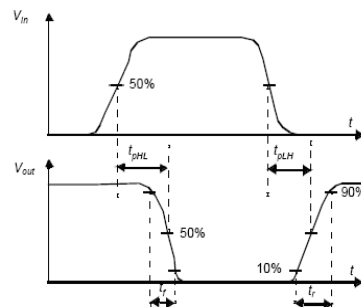
$$V^- = \left(\frac{1}{2}\right) V_{DD} - \Delta V \quad (8)$$

yang menempatkan tegangan V^+ dan V^- berjarak sama dan setengah tegangan V_{DD} , sesuai dengan tegangan histerisis

$$V_H = 2 \cdot \Delta V \quad (9)$$

B. Propagation Delay

Kecepatan operasi gerbang digital diukur melalui tiga parameter yaitu *rise time* (waktu naik), *fall time* (waktu turun) dan *propagation delay*. Parameter ini mempengaruhi keseluruhan waktu *delay* yang dihasilkan ketika gerbang melakukan transisi dari keadaan satu ke lainnya. *Delay* terjadi karena terdapat efek kapasitansi yang terdapat pada gerbang masukan dan keluaran. Selain itu, efek kapasitansi juga timbul pada jalur koneksi antar gerbang. Propagation delay ditunjukkan pada Gb. 4.



Gb. 4. Definisi Delay dalam Gerbang Digital

inverter CMOS yang simetris dengan beban kapasitif bertujuan untuk mengetahui waktu tunda (*propagation delay*), dengan asumsi transisi tegangan pada masukan. Pertama, waktu propagasi delay high to low t_{PHL} , transisi tegangan input dari 0V naik ke tegangan V_{DD} dimana $t = 0$, transistor NMOS dalam keadaan jenuh (*saturated*) $t = 0^+$ sampai tegangan output V_{out} turun sampai $V_{DD} - V_T$. Selama interval

waktu ini, arus konstan mengalir dalam transistor NMOS adalah:

$$I_{DN} = \frac{K(V_{DD}-V_T)^2}{2} \quad (10)$$

Transistor NMOS menjadi linear pada saat $V_{out} = V_{DD} - V_T$, dimana $t = t_{D1}$

$$t_{D1} = \frac{2V_T C_L}{K(V_{DD}-V_T)^2} \quad (11)$$

Sampai tegangan V_{out} turun di bawah tegangan $V_{DD} - V_T$, transistor NMOS bergerak ke daerah operasi linear, pendekatan pertama untuk transistor NMOS linear adalah

$$I_{DN} = \frac{V_{out}}{R_{DN}} \quad (12)$$

dimana

$$\frac{1}{R_{DN}} = \text{nilai rata-rata dari } \left(\frac{\partial I_{DN}}{\partial V_{out}} \right) \quad (13)$$

Untuk NMOS linear, arus drain yang mengalir memberikan persamaan

$$I_{DN} = K \left[(V_{DD} - V_T) \cdot V_{out} - \frac{V_{out}^2}{2} \right] \quad (14)$$

Turunan parsial dari arus drain yang mengalir sehubungan dengan tegangan output

$$\frac{\partial I_{DN}}{\partial V_{out}} = K[(V_{DD} - V_T) - V_{out}] \quad (15)$$

Nilai rata-rata dari turunan parsial dapat diperkirakan dengan menggantikannya dalam nilai rata-rata tegangan keluaran V_{out} , menghasilkan

$$\frac{1}{R_{DN}} = \frac{K(V_{DD}-V_T)}{2} \quad (16)$$

dengan menggunakan pendekatan ohmik untuk NMOS linear, rangkaian dapat diperlakukan sebagai kombinasi RC sederhana. dengan demikian,

$$V_{out} \approx (V_{DD} - V_T) \exp \left[-\frac{(t-t_{D1})}{R_{DN} \cdot C_L} \right] \quad (17)$$

Tegangan output mencapai 50% pada $t = t_{D1} + t_{D2}$, dimana

$$t_{D2} = R_{DN} C_L \ln \left(\frac{V_{DD}-V_T}{V_{DD}/2} \right) \quad (19)$$

Propagasi Delay dari tinggi ke rendah adalah jumlah dari t_{D1} dan t_{D2} :

$$t_{PHL} = t_{D1} + t_{D2} \approx \frac{C_L}{K} \left[\frac{2 \cdot V_T}{(V_{DD}-V_T)^2} + \frac{2}{(V_{DD}-V_T)} \cdot \ln \left(\frac{V_{DD}-V_T}{V_{DD}/2} \right) \right] \quad (20)$$

Hal yang sama dilakukan untuk analisis t_{PHL} , untuk inverter CMOS yang simetris, waktu tunda (*propagation delay*) adalah sama, oleh karena itu,

$$t_{PHL} = t_{PLH} = t_{PD} \quad (21)$$

dimana

$$t_{PD} \approx \frac{C_L}{K} \left[\frac{2 \cdot V_T}{(V_{DD}-V_T)^2} + \frac{2}{(V_{DD}-V_T)} \cdot \ln \left(\frac{V_{DD}-V_T}{V_{DD}/2} \right) \right] \quad (22)$$

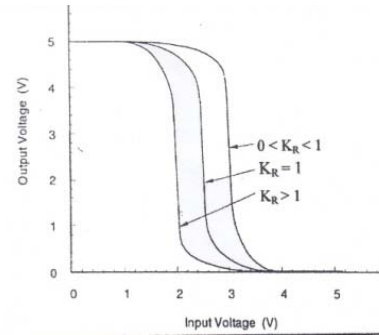
Rise time (t_r) didefinisikan sebagai waktu yang diperlukan untuk berubah dari 10% V_{DD} ke 90% V_{DD} untuk gerbang dengan tegangan "LOW" 0V dan tegangan "HIGH" V_{DD} nilai t_r ditunjukkan dalam Persamaan (23). Fall time (t_f) didefinisikan sebagai waktu yang dibutuhkan untuk berubah dari 90% V_{DD} ke 10% V_{DD} , nilai t_f ditunjukkan dalam Persamaan (24).

$$t_r, (t_{TLH}) = 2 \times t_{PLH} \quad (23)$$

$$t_f, (t_{THL}) = 2 \times t_{PHL} \quad (24)$$

Suatu gerbang dikatakan memiliki grafik karakteristik alih tegangan yang simetris apabila nilai $K_R = 1$. Pada saat ini berlaku hubungan yang

ditunjukkan dalam Gb. 5.



Gb. 5. Pengaruh Nilai k_R pada Grafik V_{in} terhadap V_{out}

$$k_R = \frac{\left[\mu_n C_{ox} \frac{W_n}{L_n} \right]}{\left[\mu_p C_{ox} \frac{W_p}{L_p} \right]} \Rightarrow 1 = \frac{\left[\mu_n C_{ox} \frac{W_n}{L_n} \right]}{\left[\mu_p C_{ox} \frac{W_p}{L_p} \right]} \quad (25)$$

$$K'_n = \mu_n \cdot C_{ox} \cdot \frac{W_n}{L_n} \quad (26)$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (27)$$

C. Disipasi Daya

Disipasi daya (*power dissipation*) merupakan daya yang dikonsumsi oleh suatu gerbang. Disipasi daya dalam sistem CMOS dapat diklasifikasikan ke dalam tiga kategori, yaitu: disipasi daya statis, daya pensaklaran (*switching*) DC yang terjadi pada saat kedua transistor menghantarkan secara bersamaan dalam waktu yang sangat singkat dan daya pensaklaran AC yang terjadi ketika kapasitansi total pada gerbang menyimpan dan melepaskan muatan.

$$P = C_L V_{DD}^2 f \quad (28)$$

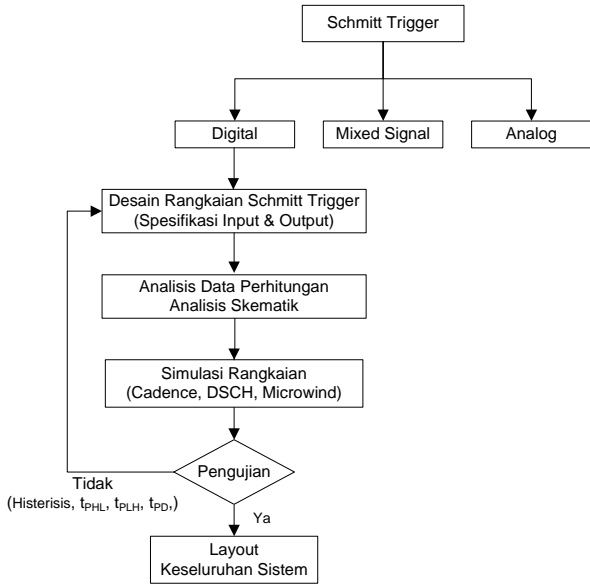
Suatu gerbang logika yang ideal haruslah cepat dan membutuhkan daya minimum. Salah satu parameter yang dipergunakan untuk menunjukkan ukuran kecepatan dan daya minimum sebuah gerbang adalah *Power Delay Product* (PDP). Semakin kecil nilai P_{DP} , PDP didefinisikan sebagai hasil kali antara *propagation delay* dengan disipasi daya rata-rata seperti ditunjukkan dalam Persamaan (29).

$$PDP = t_{dly} \cdot P \quad (29)$$

III. KERANGKA KONSEP PENELITIAN

Penelitian dimulai dengan mendesain rangkaian digital schmitt trigger dan menentukan parameter W/L. Penentuan W/L bertujuan untuk meminimalkan tegangan histerisis, Semakin kecil tegangan histerisis berarti semakin cepat waktu *propagation delay*. Desain rule menggunakan teknologi CMOS 0.12 μ m, parameter proses dari *Microwind* dan *DSCH*. Tahap selanjutnya melakukan simulasi dengan menggunakan program Pspice untuk menentukan grafik VTC dan Unit Step sebagai dasar untuk menentukan output berupa t_{PHL} , t_{PLH} , t_{PD} dan disipasi daya P_D . Pengujian dilakukan

secara bertahap hingga menghasilkan grafik yang sesuai dengan keinginan yaitu kecepatan yang tinggi dan daya rendah. Jika penelitian belum sesuai maka dilakukan pengujian ulang pada nilai W/L. Setelah output yang dihasilkan sesuai maka dibuat layout dengan program Microwind. Gb. 6. Menunjukkan diagram alir kerangka penelitian.



Gb. 6. Diagram Alir Kerangka Penelitian

IV. HASIL DAN DISKUSI

Tahap awal dalam perancangan IC CMOS schmitt trigger meliputi penentuan spesifikasi rangkaian IC yang akan dirancang, perancangan rangkaian logika Schmitt Trigger Langkah selanjutnya merancang ukuran komponen W/L berdasarkan parameter proses transistor NMOS dan PMOS yang akan digunakan dalam perhitungan. Dari hasil perbandingan nilai W/L yang digunakan, selanjutnya menentukan nilai VTC, propagation delay dan penggambaran layout pada microwind

Spesifikasi Teknis rangkaian schmitt trigger ditentukan sebagai berikut:

1. High Speed Operation : $t_{pd} = 13 \text{ ns}$.
2. Wide Supply Voltage : $V_{DD} = 2V \text{ to } 6V$
3. Power Disipation : Dual-In-Line = 700 mw, Small Outline = 500 mw
4. Hysterisis : $V_{T^+} = 0.9V$ dan $V_{DD} = 4.5V$

Dalam rancangan ini mengacu pada parameter proses. Penggunaan parameter tipikal ini untuk lebih mendekati pada karakteristik devais dan mempermudah dalam proses analisis

Penentuan W dan L didasari oleh analisis yang dilakukan pada nilai $K_R = 1$. Nilai μ_p dan μ_n dapat mempengaruhi nilai W dan L yang dihasilkan, VTC yang simetris akan didapat dengan memasukkan nilai $\mu_p = 250 \text{ cm}^2/V.s$ dan $\mu_n = 620 \text{ cm}^2/V.s$

Schmitt trigger merupakan rangkaian yang memiliki karakteristik alih tegangan VTC histerisis, dimana karakteristik alih tegangan maju (V^+) dan karakteristik alih tegangan balik (V^-). Bila tegangan input dinaikan dari 0V ke V_{DD} , transisi swicthing tegangan alih maju

(V^+). Jika tegangan input diawali pada tegangan V_{DD} ke 0V maka transisi switching tegangan alih balik (V^-). Tegangan histerisis memberikan pemisahan antara 2 (dua) titik switching. dimana tegangan histerisis (V^+) dapat diketahui dengan menggunakan Persamaan 5 dan 6.

$$V^+ = \frac{(1.2 + 0.35) \times \sqrt{\frac{0.12}{0.22}}}{1 + \sqrt{\frac{0.12}{0.22}}} = \frac{1.2 + 0.35 \times 0.738}{1.738} = 0.84V$$

$$V^- = \frac{\sqrt{\frac{0.30}{0.55}} \times (1.2 - 0.35)}{1 + \sqrt{\frac{0.30}{0.55}}} = \frac{0.738 \times 1.2 - 0.35}{1.738} = 0.36V$$

TABEL I
PARAMETER DASAR TRANSISTOR

| Simbol | NMOS | PMOS | Keterangan |
|--------|-----------------------|-------------------------------|--|
| VDD | | 1.2V | Tegangan Catu Daya |
| Uo | 620 $\text{cm}^2/V.s$ | 250 $\text{cm}^2/V.s$ | Carrier Mobility |
| KP | 713 $\mu A/V^2$ | 288 $\mu A/V^2$ | Parameter Transkonduktansi |
| VT | 0.35 V | -0.35 V | Tegangan ambang NMOS dan PMOS |
| 2φF | | 0.3 V | PHI, Surface potential atsrong inversion |
| γ | | 0.4 \sqrt{V} | GAMMA, Bulk thershold parameter |
| tox | | 3 nm | Ketebalan oksidasi gerbang |
| εOX | | 3.45 x 10 ⁻¹³ F/cm | Konstanta dielektrik polisilikon |

TABEL II
DESAIN W/L TRANSISTOR SCHMITT TRIGGER

| Transistor | Teknologi CMOS (0.12 μm) | | | |
|------------|--------------------------|------|------|------|
| | NMOS | | PMOS | |
| | W | L | W | L |
| M1 | 0.12 | 0.12 | - | - |
| M2 | 0.60 | 0.12 | - | - |
| M3 | 0.22 | 0.12 | - | - |
| M4 | - | - | 1.5 | 0.12 |
| M5 | - | - | 0.30 | 0.12 |
| M6 | - | - | 0.55 | 0.12 |

Data hasil analisis perhitungan ditunjukkan dalam (Tabel III).

TABEL III
ANALISIS PERHITUNGAN PROPAGASI DELAY

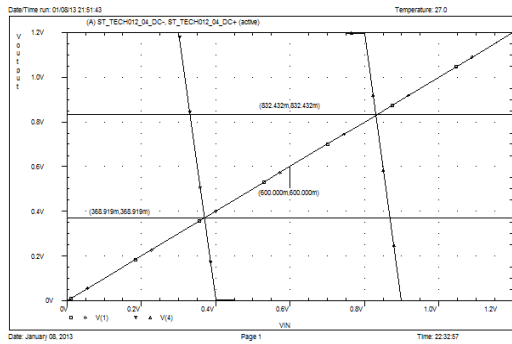
| CL (pF) | tPHL (ns) | tPLH (ns) | tPD (ns) | tr (ns) | tf (ns) |
|---------|-----------|-----------|----------|---------|---------|
| 0.5 | 1.25 | 1.25 | 1.25 | 2.5 | 2.5 |
| 1 | 2.5 | 2.5 | 2.5 | 5 | 5 |
| 5 | 12.5 | 12.5 | 12.5 | 25 | 25 |
| 10 | 25 | 25 | 25 | 50 | 50 |

Hasil perhitungan untuk frekuensi 5 MHz, 10 MHz, dan 15 MHz, serta dengan kombinasi beban kapasitor, hasil analisis perhitungan disipasi daya ditunjukkan dalam (Tabel IV).

TABEL IV
ANALISIS PERHITUNGAN DISIPASI DAYA

| CL (pF) | Frekuensi | | | | | | | |
|------------|------------|-------------|------------|-------------|------------|-------------|------------|-------------|
| | 1 MHz | | 5 MHz | | 10 MHz | | 15 MHz | |
| | PD (μW) | PDP (fJ) | PD (μW) | PDP (fJ) | PD (μW) | PDP (fJ) | PD (μW) | PDP (fJ) |
| 0.5 | 0.72 | 0.9 | 3.6 | 4.5 | 7.2 | 9 | 10.8 | 13.5 |
| 1 | 1.44 | 3.6 | 7.2 | 18.1 | 14.4 | 36 | 21.6 | 54.2 |
| 5 | 7.2 | 90 | 36 | 0.45 | 72 | 0.9 | 108 | 1.35 |
| 10 | 14.4 | 0.36 | 72 | 1.8 | 144 | 3.6 | 216 | 5.42 |

Hasil simulasi histerisis maju (V^+) schmitt trigger inverter terjadi saat tegangan input berada pada 0.83V dan tegangan output 0.83V. hal ini menunjukkan bahwa tegangan histerisis maju simetris, dimana pada analisis perhitungan sebesar 0.84V dan hasil simulasi tegangan histerisis balik terjadi saat tegangan input berada pada 0.36V dan tegangan output 0.36V. hal ini menunjukkan bahwa tegangan histerisis balik simetris, pada analisis perhitungan sebesar 0.36V. Gb. 7. menunjukkan grafik histerisis *schmitt trigger*.



Gb. 7. Grafik histerisis Schmitt Trigger

(Tabel V) menunjuk perbandingan histerisis hasil perhitungan dan hasil simulasi.

TABEL V
PERBANDINGAN HISTERISIS HASIL PERHITUNGAN DAN SIMULASI

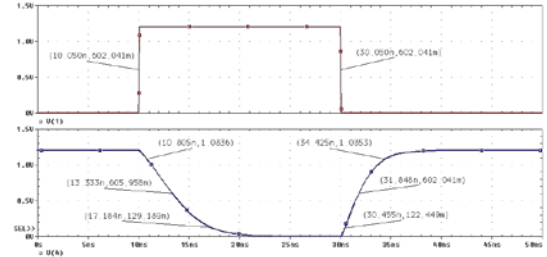
| Kriteria | Histerisis Balik (V-) | | Histerisis Maju (V+) | |
|-------------|-----------------------|--------|----------------------|--------|
| | Input | Output | Input | Output |
| Perhitungan | 0.36 V | 0.36 V | 0.84 V | 0.84 V |
| Simulasi | 0.36 V | 0.36 V | 0.83 V | 0.83 V |

Simulasi *unit step* dilakukan untuk mendapatkan nilai *propagation delay*. Masukan yang diberikan berupa gelombang pulsa (*step*). Nilai *propagation delay* diperoleh dari sinyal *output* yang berupa nilai t_{PLH} , t_{PHL} , *rise time* (t_r) dan *fall time* (t_f). Dalam simulasi *unit step* diberikan variasi kapasitor pada keluaran untuk mengetahui respon waktu rangkaian IC schmitt trigger yaitu 0.5pF, 1pF, 5pF, 10pF Selain itu digunakan variasi frekuensi yang berbeda yaitu 1MHz, 5MHz, 10MHz dan 15MHz pada suhu normal 27° C.

Simulasi schmitt trigger untuk beban kapasitor $C_L = 0.5$ pF

$$\begin{aligned}
 t_{PHL} &= (11.726 - 10.050) \text{ ns} = 1.68 \text{ ns} \\
 t_{PLH} &= (21.073 - 20.150) \text{ ns} = 0.92 \text{ ns} \\
 t_{PD} &= \frac{(1.68 + 0.92) \text{ ns}}{2} = \frac{(2.60) \text{ ns}}{2} = 1.3 \text{ ns} \\
 t_r &= (22.397 - 20.369) \text{ ns} = 2.03 \text{ ns} \\
 t_f &= (13.664 - 10.445) \text{ ns} = 3.22 \text{ ns}
 \end{aligned}$$

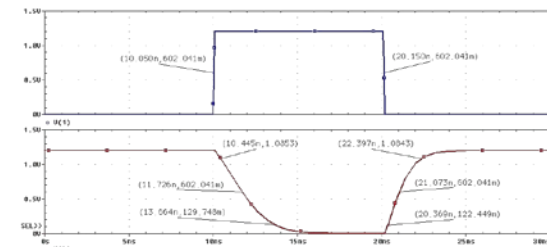
Simulasi schmitt trigger untuk beban kapasitor $C_L = 1$ pF



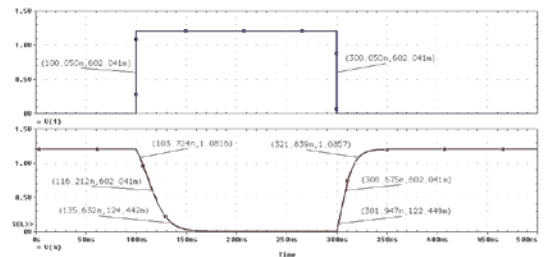
Gb. 9. Grafik propagation delay schmitt trigger pada $C_L = 1$ pF

$$\begin{aligned}
 t_{PHL} &= (13.333 - 10.050) \text{ ns} = 3.3 \text{ ns} \\
 t_{PLH} &= (31.848 - 30.150) \text{ ns} = 1.7 \text{ ns} \\
 t_{PD} &= \frac{(3.3 + 1.7) \text{ ns}}{2} = \frac{(5) \text{ ns}}{2} = 2.5 \text{ ns} \\
 t_r &= (34.425 - 30.455) \text{ ns} = 3.9 \text{ ns} \\
 t_f &= (17.184 - 10.805) \text{ ns} = 6.4 \text{ ns}
 \end{aligned}$$

Simulasi schmitt trigger untuk beban kapasitor $C_L = 5$ pF



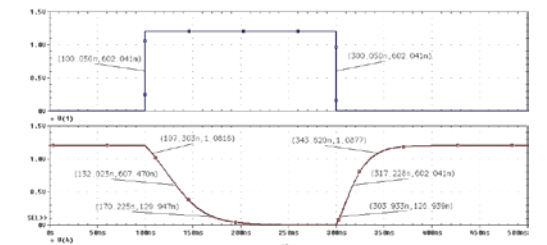
Gb. 8. Grafik propagation delay Schmitt trigger pada $C_L = 0.5$ pF



Gb. 10. Grafik propagation delay schmitt trigger pada $C_L = 5$ pF

$$\begin{aligned}
 t_{PHL} &= (116.212 - 100.050) \text{ ns} = 16.162 \text{ ns} \\
 t_{PLH} &= (308.675 - 300.050) \text{ ns} = 8.625 \text{ ns} \\
 t_{PD} &= \frac{(16.162 + 8.625) \text{ ns}}{2} = \frac{(24.787) \text{ ns}}{2} = 12.39 \text{ ns} \\
 t_r &= (321.839 - 301.947) \text{ ns} = 19.89 \text{ ns} \\
 t_f &= (135.632 - 103.704) \text{ ns} = 31.93 \text{ ns}
 \end{aligned}$$

Simulasi schmitt trigger untuk beban kapasitor $C_L = 10$ pF



Gb. 11. Grafik propagation delay schmitt trigger pada $C_L = 10$ pF

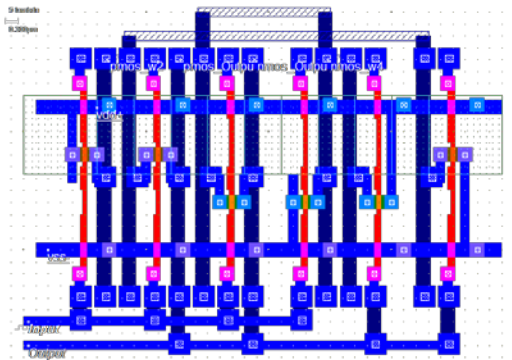
$$\begin{aligned}
 t_{PHL} &= (132.023 - 100.050) \text{ ns} = 31.97 \text{ ns} \\
 t_{PLH} &= (317.228 - 300.050) \text{ ns} = 17.18 \text{ ns} \\
 t_{PD} &= \frac{(31.97 + 17.18) \text{ ns}}{2} = \frac{(49.15) \text{ ns}}{2} = 24.57 \text{ ns} \\
 t_r &= (343.820 - 303.933) \text{ ns} = 39.89 \text{ ns} \\
 t_f &= (170.225 - 107.303) \text{ ns} = 62.92 \text{ ns}
 \end{aligned}$$

(Tabel VI) menunjukkan perbandingan *propagation delay* hasil perhitungan dan hasil simulasi.

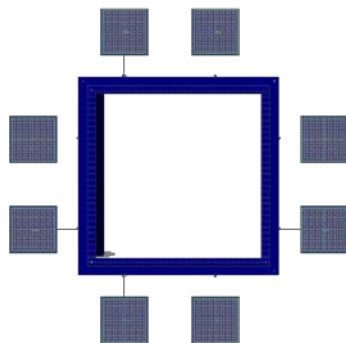
Analisis *propagation delay* yang dilakukan dalam perancangan schmitt trigger baik analisis perhitungan maupun analisis simulasi terdapat perbedaan pada waktu transisi *high to low* (t_{PHL}) dan waktu transisi dari *low to high* (t_{PLH}), Hasil analisis perhitungan maupun hasil simulasi untuk teknologi 0.12 μm , beban yang dianjurkan ≤ 5 pF, pada beban 5 pF *propagation delay* yang diperoleh 12.5 ns lebih kecil dibanding dengan spesifikasi rangkaian 13 ns.

TABEL V

| PERBANDINGAN HISTERISIS HASIL PERHITUNGAN DAN SIMULASI | | | | | | |
|--|-------------|-----------------|-----------|----------|---------|---------|
| CL (pF) | Kriteria | Propagasi Delay | | | | |
| | | tPHL (ns) | tPLH (ns) | tPD (ns) | tr (ns) | tf (ns) |
| 0.5 | Perhitungan | 1.25 | 1.25 | 1.25 | 2.5 | 2.5 |
| | Simulasi | 1.68 | 0.92 | 1.3 | 2.03 | 3.22 |
| 1 | Perhitungan | 2.5 | 2.5 | 2.5 | 5 | 5 |
| | Simulasi | 3.3 | 1.7 | 2.5 | 3.9 | 6.4 |
| 5 | Perhitungan | 12.5 | 12.5 | 12.5 | 25 | 25 |
| | Simulasi | 16.16 | 8.63 | 12.39 | 19.89 | 31.93 |
| 10 | Perhitungan | 25 | 25 | 25 | 50 | 50 |
| | Simulasi | 31.97 | 17.18 | 24.57 | 39.89 | 62.92 |



Gb. 12. Tata letak IC CMOS Schmitt Trigger Inverter



Gb. 13. Layout Rangkaian Schmitt Trigger inverter teknologi 0.12 μm

Penggambaran *layout* dilakukan dengan menggunakan *default process* Microwind (0.12 μm CMOS *Process*) dengan $\lambda = 0.12 \mu\text{m}/2 = 0.06 \mu\text{m}$. *Layout* IC Schmitt Trigger Inverter CMOS ditunjukkan dalam Gb. 12.

V. KESIMPULAN

Kesimpulan yang dapat diambil dari penelitian ini sebagai berikut

1. Berdasarkan hasil analisis perhitungan dan simulasi dalam penentuan tegangan histerisis, maka harus diperhatikan rasio perbandingan transkonduktansi W/L transistor M_3 dan M_6 , dari rasio perbandingan transkonduktansi maka akan menghasilkan tegangan histerisis yang bervariasi.
2. Untuk mendapatkan hasil schmitt trigger inverter yang simetris, dua penundaan propagasi t_{PHL} , t_{PLH} dan t_{PD} adalah sama. Hasil ini menunjukkan bahwa penundaan propagasi sebanding dengan kapasitansi beban dan berbanding terbalik dengan parameter transkonduktansi. Kecepatan yang lebih tinggi dapat diperoleh dengan mengurangi kapasitansi beban atau dengan meningkatkan nilai-nilai K. Selain itu, ada ketergantungan pada tegangan catu daya.
3. Berdasarkan hasil analisis perhitungan, semakin besar beban kapasitor dan frekuensi yang digunakan maka semakin besar pula *power disipation* (P_D) dan *power disipation product* (PDP).

DAFTAR PUSTAKA

[1] Ayers, J. E. 2004. Digital Integreted Circuit Analysis and Design. CRC Press, New York Washington DC.
 [2] Baker, R. 2010. CMOS Circuit design Layout and Simulations. Third Edition. Jhon Wiley and Sons, INC. Canada.
 [3] Jaeger, R. 1997. Microelectronic Circuit Design. Auburn University. The McGraw-Hill Companies, Inc.USA.
 [4] Geiger, R. L., Allen, P. E and Strader, N. R. 1990. VLSI Design Techniques For Analog and Digital Circuits. The McGraw-Hill Companies, Inc.USA.
 [5] Kang, S. M and Leblebici, Y. 2003. Analysis and Design CMOS Digital Integreted Circuit. The McGraw-Hill Companies, Inc.USA.

Ari permana L, lahir di Jakarta, 23 Februari 1979 sebagai anak ke pertama dari tiga bersaudara, pasangan **Sulaiaman Launuru** dan **Sri Retno Pujiwati**. Tahun 1985 bersekolah di SDN 2 Sidangoli dan lulus tahun 1991. SMPN 4 Ternate lulus tahun 1994. SMK 2 Ternate lulus tahun 1997. Sarjana Teknik Elektro Universitas Muslim Indonesia lulus tahun 2002. Tahun 2006 sampai sekarang, bekerja sebagai dosen di Politeknik Negeri Ambon Provinsi Maluku.