

# Perancangan dan Implementasi *Mapper* dan *Demapper* untuk DVB-T

Suyoto<sup>1</sup>, Agus Subekti<sup>2</sup>, Arif Lukman<sup>3</sup>

<sup>1,2,3</sup>Research Center for Informatics, Indonesia Institute of Sciences

Jl. Cisit No. 21/154 Bandung Telp. (022) 2504711, Fax. (022) 2504712

yoto@informatika.lipi.go.id<sup>1</sup>, agus@informatika.lipi.go.id<sup>2</sup>, arif@informatika.lipi.go.id<sup>3</sup>

## Abstract

*In this research, design and implementation of the mapper and demapper for DVB-T (Digital Video Broadcasters-Terrestrial) is done. Mapper is used to map the sequence of digital bits into OFDM symbols to be entered into the IFFT, while the demapper used to map OFDM symbols out of the FFT to the sequence of digital bits. Constellation mapper and demapper using 16 QAM (Quadrature Amplitude Modulation). 4 bits are used to map each OFDM symbol. The design is done using Xilinx ISE 9.2i. The results of the design implemented in Virtex-4 development board.*

*Keywords : OFDM, DVB-T, Mapper, Demapper dan 16 QAM.*

## Abstrak

*Pada penelitian ini dilakukan perancangan dan implementasi mapper dan demapper untuk DVB-T (Digital Video Broadcaster-Terrestrial). Mapper digunakan untuk memetakan deretan bit digital kedalam simbol-simbol OFDM yang akan masuk ke IFFT, sedangkan demapper digunakan untuk memetakan simbol-simbol OFDM yang keluar dari FFT ke dalam deretan bit digital. Mapper dan demapper menggunakan konstelasi 16 QAM (Quadrature Amplitude Modulation). 4 bit digunakan untuk memetakan setiap simbol OFDM. Perancangan dilakukan dengan menggunakan ISE 9.2i Xilinx. Hasil dari perancangan diimplementasikan pada development board virtex-4.*

*Kata kunci : OFDM, DVB-T, Mapper, Demapper dan 16 QAM.*

## 1. Pendahuluan

DVB-T adalah singkatan dari Digital Video Broadcasting - Terrestrial; Merupakan standard untuk transmisi penyiaran televisi terrestrial digital yang pertama kali disiarkan di Inggris pada tahun 1997. Indonesia telah mengadopsi standar DVB-T yang dikembangkan oleh ETSI (European Telecommunication Standard Institute) sebagai standar televisi digital terrestrial [1]. Sistem ini mentransmisikan audio digital terkompresi, video dan data lain dalam sebuah stream MPEG 2, menggunakan modulasi COFDM.

Standar DVB-T membuat spesifikasi sistem untuk mengirimkan sinyal video dan audio digital kualitas tinggi melalui kanal 7 – 8 MHz eksisting. Debit informasi yang dapat disalurkan adalah antara 4,98 sampai dengan 31,67 Mbps. *Coded Orthogonal Frequency Division Multiplexing* (COFDM) dipilih sebagai modulasi DVB-T. Untuk membuat penggunaan kanal lebih efisien, telah digunakan *Single Frequency Network* (SFN). Pada sebuah sistem SFN, semua stasiun yang memancarkan program yang sama memancar pada kanal yang sama, masing-masing pancaran disinkronkan sesuai sinyal referensi dan menggunakan *baseband timing* yang sama. Sinyal input dari *exciter* (yang terdiri dari modulator dan RF converter) merupakan sinyal kode MPEG-2 (video + audio + data). Satu paket data terdiri dari 187 byte + 1 byte sinkronisasi.

Pada modulator terdapat blok fungsional *energy dispersal* atau *data randomizer*, *Reed-Solomon channel encoder*, *outer interleaver*, *inner channel encoder* dan *inner interleaver*. Sebagai *inner channel encoder* dapat digunakan kode konvolusional.

Selanjutnya simbol *interleaver* digunakan untuk melakukan mapper bit-bit data ke *subcarrier-subcarrier* aktif OFDM. Modulator OFDM melakukan proses modulasi dengan cara IDFT (*Inverse Discrete Fourier Transform*) untuk membangkitkan sejumlah besar subcarrier OFDM, masing-masing akan dimodulasi kuadratur. Jumlah *subcarrier* yang dibangkitkan adalah 2048 buah (pada *2K mode*) atau 8192 buah (pada *8K mode*).

Simbol-simbol OFDM yang akan dipancarkan diorganisasikan atau disusun dalam *frame-frame*, masing-masing terdiri dari 68 simbol. Satu *frame* OFDM juga mengandung sel *pilot* dan subcarrier TPS (*Transmission Parameter Signalling*). Sinyal *pilot* dapat dimanfaatkan untuk sinkronisasi *frame*, sinkronisasi waktu dan frekuensi, estimasi kanal dan identifikasi mode transmisi. TPS digunakan untuk memilih parameter yang terkait dengan *channel coding* dan modulasi.

## 2. Dasar Teori

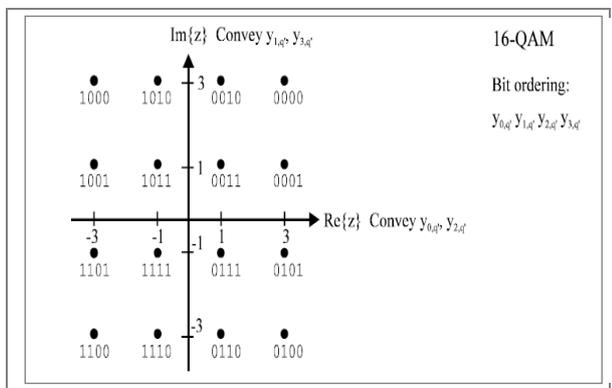
Modulasi yang digunakan pada sistem DVB-T dapat dipilih satu di antara 3 jenis modulasi kuadratur, yaitu QPSK, QAM-16 dan QAM-64. Kombinasi antara jenis modulasi dan laju pengkodean kanal (inner coding rate) dapat dicapai kompromi antara laju bit dan keandalan transmisi [2].

Mapper berfungsi untuk memetakan urutan bit digital ke dalam simbol-simbol OFDM, sedangkan Demapper berfungsi untuk memetakan simbol-simbol OFDM ke dalam urutan bit digital. Disini akan dilakukan perancangan pada 16-QAM. Pada perancangan Mapper ini akan digunakan konstelasi *uniform* 16-QAM, untuk konstelasi dan detail dari *Gray Mapper* yang akan dirancang dapat dilihat pada Gambar 1.

Urutan bit digital dipetakan ke dalam sebuah urutan simbol kompleks. Proporsi yang tepat dari konstelasi tergantung pada parameter  $\alpha$ , yang dapat mengambil tiga nilai yaitu : 1, 2 atau 4.  $\alpha$  adalah jarak minimum yang memisahkan dua titik konstelasi membawa nilai HP-bit (High Priority bit) yang berbeda dibagi dengan jarak minimum yang memisahkan dua titik konstelasi. Non-hirarkis transmisi menggunakan konstelasi yang sama dengan konstelasi *uniform* seperti halnya pada  $\alpha = 1$ .

Nilai-nilai yang tepat dari titik konstelasi  $z \in (n + jm)$  dengan nilai-nilai  $n, m$  diberikan di bawah ini untuk konstelasi 16-QAM :

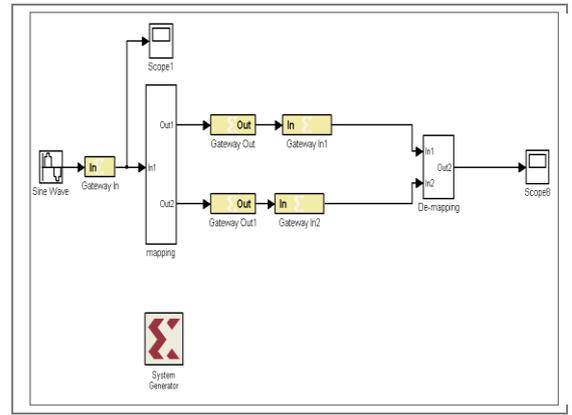
16-QAM (non-hierarchical dan hierarchical dengan  $\alpha=1$ )  
 $n \in \{-3, -1, 1, 3\}, m \in \{-3, -1, 1, 3\}$



Gambar 1. Konstelasi 16 QAM

## 3. Perancangan Mapper dan Demapper

Berikut ini merupakan Blok diagram untuk bagian *Mapper* dan *Demapper*. Masukkan sinyal berupa sinyal sinusoidal, masuk ke bagian *Mapper*, kemudian diteruskan ke bagian *Demapper*. Keluran dari blok tersebut adalah sinyal sinusoidal yang sama dengan sinyal masukkan.

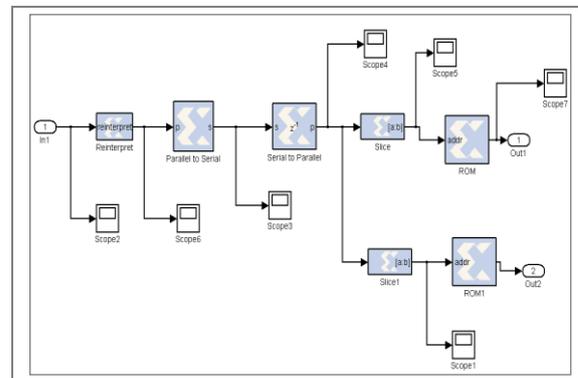


Gambar 2. Blok diagram utama dari bagian *Mapper* dan *Demapper*

Bagian *Mapper* terdiri dari :

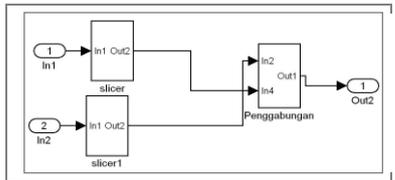
1. *Reinterpret*, digunakan untuk mengkonversi bilangan signed ke format *unsigned*
2. *Parallel-to-Serial*, digunakan untuk mengubah masukan data paralel (8 bit) ke bentuk serial pada keluaran.
3. *Serial-to-Parallel*, digunakan untuk mengubah masukan data serial ke bentuk paralel (4 bit) pada keluaran
4. *Slice*, digunakan untuk mengambil bagaian tertentu dari representasi data paralel
5. ROM, digunakan untuk memetakan data sesuai dengan vektor yang diinginkan.

Blok diagram *Mapper* dapat dilihat pada gambar dibawah.



Gambar 3. Blok diagram dari bagian *Mapper*

Untuk bagian *Demapper* dapat dibagi menjadi tiga bagian, yaitu bagian *irisn\_1*, *irisn\_2*, dan penggabungan. Bagian *irisn\_1* dan *irisn\_2* digunakan untuk mengembalikan nilai yang telah dipetakan dalam ROM pada Bagian *Mapper*, sedangkan bagian penggabungan digunakan untuk menggabungkan nilai dari bagian *irisn\_1* dan *irisn\_2*, sehingga diperoleh data sesuai dengan data masukkan ke bagian *Mapper*. Untuk bagian *Demapper* dapat dilihat pada Gambar 4.

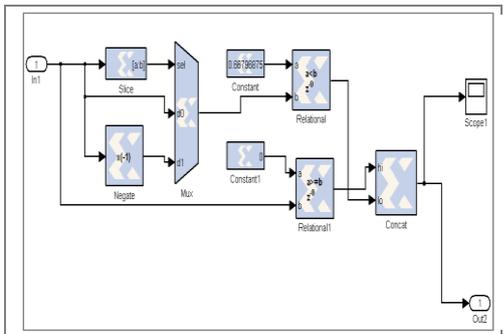


Gambar 4. Blok diagram dari bagian Demapper

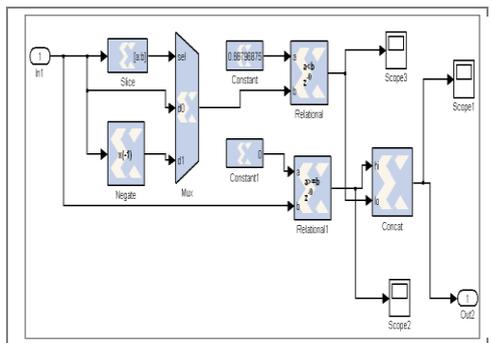
Bagian irisan\_1 dan irisan\_2 terdiri dari :

1. *Slice*, digunakan untuk mengambil bagian tertentu dari representasi data paralel
2. *Negate*, digunakan untuk negasi dari masukan
3. *Mux*, digunakan sebagai *multiplexer*
4. *Constant*, digunakan untuk menghasilkan nilai konstanta
5. *Relational*, digunakan sebagai pembanding (*Comparator*)
6. *Concat*, digunakan untuk menggabungkan masukan yang berupa vektor bit

Untuk blok diagram irisan\_1 dapat dilihat pada Gambar 5, sedangkan untuk blok diagram irisan\_2 dapat dilihat pada Gambar 6.



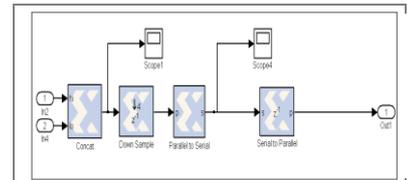
Gambar 5. Blok diagram dari bagian irisan\_1



Gambar 6. Blok diagram dari bagian irisan\_2

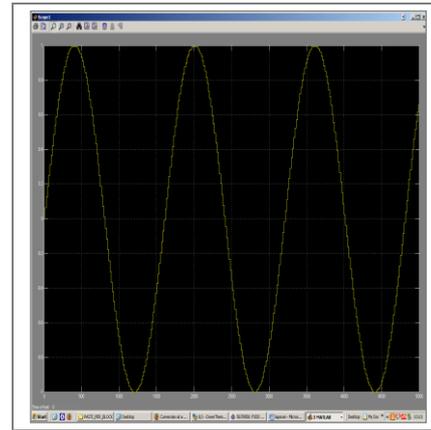
Untuk bagian Penggabungan, terdiri dari :

1. *Concat*, digunakan untuk menggabungkan masukan yang berupa vektor bit
2. *Down Samples*, digunakan untuk menurunkan kecepatan sampling data
3. *Parallel-to-Serial*, digunakan untuk mengubah masukan data paralel (4 bit) ke bentuk serial pada keluaran.
4. *Serial-to-Parallel*, digunakan untuk mengubah masukan data serial ke bentuk paralel (8 bit) pada keluaran



Gambar 7. Blok diagram dari bagian Penggabungan

Hasil Simulasi dari Blok Mapper dan Demapper (Gambar 2) dapat dilihat pada Gambar 8. Sinyal masukan berupa sinyal sinusoidal, sinyal keluaran berupa sinyal sinusoidal (Gambar 8).



Gambar 8. Sinyal Keluaran dari blok diagram Mapper dan Demapper

#### 4. Implementasi Pada Perangkat Keras Virtex-4

Untuk mengimplementasikan Mapper dan Demapper pada *development board* virtex-4 perlu untuk mengetahui konsep dasar dari cara kerja dan struktur internalnya:

##### 4.1 Field-Programmable Gate Array (FPGA)

Sebuah FPGA terdiri atas susunan dari beberapa blok yang dapat diprogram (blok logika) yang saling berhubungan antara mereka sendiri dengan sel input / output dalam koneksi vertikal dan horizontal. Sebuah FPGA menyajikan karakteristik sebagai berikut [3]:

1. Kecepatan cukup tinggi
2. Reliabilitas tinggi
3. Konsumsi daya menengah, meskipun ada *board* tertentu yang disesain dengan konsumsi daya rendah.
4. Waktu pengembangan yang singkat.
5. Peralatan yang sederhana
6. Metodologi yang sederhana.

##### 4.2 Development board Virtex-4

*Platform* ini sangat ideal untuk aplikasi pemrosesan sinyal dengan kinerja tinggi. Dikembangkan dalam kolaborasi dengan Nallatech, perusahaan untuk solusi komputasi FPGA, XtremeDSP™ Development Kit menyediakan *platform* yang lengkap untuk aplikasi perangkat lunak pemrosesan sinyal kinerja tinggi seperti SDR (Software Defined Radio), 3G Wireless, Jaringan, HDTV dan *Video Imaging*. Kit ini fitur *dual-channel*

ADCs performa tinggi dan DAC, pengguna dapat memprogram Virtex<sup>®</sup> -4 FPGA, dan didukung sepenuhnya oleh *Xilinx System Generator for Hardware Cosimulation*.



Gambar 9. Development board Virtex-4

Gambar 9 menunjukkan *development board* yang akan digunakan dalam pelaksanaan simulasi. Para perangkat virtex-4 ditandai untuk memiliki arsitektur fleksibel dan teratur disusun oleh pengaturan Configurable Logic Blocks (CLBs), dikelilingi input / output Blocks (IOBs) yang dapat diprogram.

### 4.3 Implementasi

Untuk implementasi *Mapper* dan *Demapper*, sesudah disimulasikan dengan menggunakan *Xilinx PCI Co-simulation*; blok ini memungkinkan perancangan *Co-simulation* yang dilakukan pada *board* virtex-4. Gambar 10 menunjukkan *hardware Co-simulation* dari blok *Mapper* dan *Demapper*.

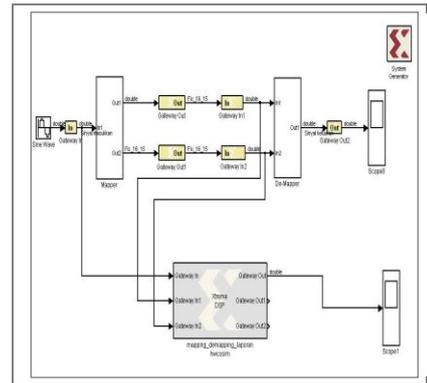


Gambar 10. Blok diagram PCI Co-simulation

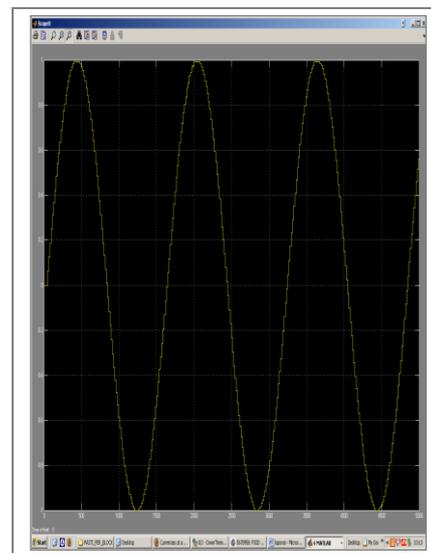
### 4.4 Implementasi pada *development board* Virtex-4

Perancangan yang lengkap digambarkan pada Gambar 11. Hasil simulasi dibandingkan dengan hasil implementasi pada perangkat keras. Hal ini memungkinkan kita untuk memverifikasi bagaimana dekatnya simulasi dengan implementasi yang sebenarnya.

Gambar 12 menunjukkan hasil dari implementasi sistem.



Gambar 11. Diagram Blok Mapper dan Demapper beserta Hardware Co-simulation dari Mapper dan Demapper.



Gambar 12. Sinyal Keluaran dari blok diagram *Mapper* dan *Demapper*. Hasil diberikan dari implementasi pada *development board*.

Hal ini dapat dilihat dari Gambar 8 dan Gambar 12 bahwa hasil yang diperoleh pada *development board* praktis sama dengan hasil yang diperoleh pada simulasi sebelumnya.

## 5. Kesimpulan

Perancangan dan Implementasi dari *Mapper* and *Demapper* untuk DVB-T telah dilakukan dengan menggunakan *development board* virtex-4. *Mapper* dan *Demapper* dibuat dengan menggunakan kontelasi 16 QAM. Dengan menggunakan *system generator* dapat menyederhanakan proses dari simulasi ke implementasi pada perangkat keras, tanpa keharusan untuk menjadi seorang insinyur perangkat keras khusus. Karena hasil yang diperoleh di perangkat keras tergantung dari desain dalam perangkat lunak, itu jauh lebih mudah untuk melakukan perubahan dalam hasil ini dengan perangkat lunak. Fakta ini dianggap sebagai salah satu yang paling penting dalam pengembangan desain.

## 6. Daftar Pustaka

- [1] *Digital Video Broadcasting(DVB):Framing structure, channel coding and modulation for digital terrestrial television*, ETSI EN 300 744 V1.6.1, 2009.
- [2] Doel G., *ITU/ASBU Workshop on Frequency Planning and Digital Transmission*, November 23, Damascus, 2004.
- [3] Jacobus Naude, "Decreasing Simulation Runtimes with System Generator for DSP Hardware Co-Simulation", XAPP1031(v1.0.1), December 19, 2007